

35.C15439



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)	
	:	Examiner: NYA
YOSHIHIRO HONMA ET AL.)	
	:	Group Art Unit: 2614
Application No.: 09/878,936)	
	:	
Filed: June 13, 2001)	
	:	
For: IMAGE SIGNAL PROCESSING)	
APPARATUS	:	September 19, 2001

Commissioner for Patents
Washington, D.C. 20231

CLAIM TO PRIORITY

Sir:

Applicants hereby claims priority under the International Convention and all rights to which he is entitled under 35 U.S.C. § 119 based upon the following Japanese Priority Application:

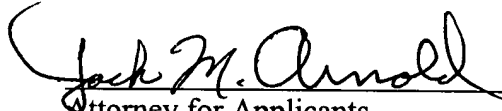
177890/2000 filed June 14, 2000

A certified copy of the priority document is enclosed.

Applicants' undersigned attorney may be reached in our New York office by

telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,


Attorney for Applicants

Registration No. 25,823

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

NY_MAIN 200853 v 1



CF015439 VS/sw

09/878.936

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 6月14日

出願番号

Application Number:

特願2000-177890

出願人

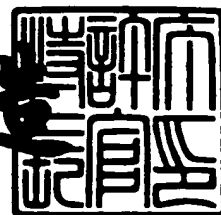
Applicant(s):

キヤノン株式会社

2001年 6月26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3060131

【書類名】 特許願

【整理番号】 4212126

【提出日】 平成12年 6月14日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/64

【発明の名称】 映像信号処理装置

【請求項の数】 15

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【氏名】 本間 義浩

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【氏名】 栄木 裕二

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キャノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100090284

【弁理士】

【氏名又は名称】 田中 常雄

【電話番号】 03-5396-7325

【手数料の表示】

【予納台帳番号】 011073

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703879

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 映像信号処理装置

【特許請求の範囲】

【請求項1】 入力画像データをリサイズする第1のリサイズ手段と、当該第1のリサイズ手段から出力される画像データを記憶する第1の記憶手段と、当該第1の記憶手段から読み出される画像データを一時的に記憶する記憶手段であって書き込みと読み出しを非同期に実行自在な第2の記憶手段と、当該第2の記憶手段から読み出される画像データに所定の処理を施す処理手段と、当該処理手段からの画像データを、当該画像データのビット数よりも少ない数のシリアル信号に変換するパラレル／シリアル変換手段とを具備することを特徴とする映像信号処理装置。

【請求項2】 当該処理手段が、当該第2の記憶手段から読み出される画像データをRGB形式に変換する変換手段を有する請求項1に記載の映像信号処理装置。

【請求項3】 当該処理手段が、当該マトリクス変換手段から出力されるRGBデータを点順次信号に変換する点順次変換手段を具備する請求項2に記載の映像信号処理装置。

【請求項4】 当該処理手段が、当該点順次変換手段で点順次化されるRGB信号に同期信号を付加する同期信号付加手段を具備する請求項3に記載の映像信号処理装置。

【請求項5】 更に、パラレル／シリアル変換手段から出力されるシリアルデータをアナログ画像信号に変換する表示制御手段と、当該表示制御手段からのアナログ画像信号を画像表示する画像表示手段を具備する請求項4に記載の映像信号処理装置。

【請求項6】 当該入力画像データが輝度成分と色差成分からなる請求項1乃至5の何れか1項に記載の映像信号処理装置。

【請求項7】 当該処理手段が、当該第2の記憶手段から読み出される画像データをリサイズする第2のリサイズ手段を具備し、更に、当該第2の記憶手段から読み出される画像データに所定の信号処理を施す信号処理手段と、当該信号処理

手段から出力される画像データをアナログ信号に変換するD/A変換手段とを有する請求項1に記載の映像信号処理装置。

【請求項8】 当該処理手段が更に、当該第2のリサイズ手段からの画像データをRGB形式に変換する変換手段を具備する請求項7に記載の映像信号処理装置。

【請求項9】 更に、当該D/A変換手段のアナログ出力信号を帯域制限する帯域制限手段と、当該帯域制限手段の出力を増幅するアンプ手段と、当該アンプ手段の出力画像を可視表示する第2の表示手段とを有し、当該第1の表示手段と当該第2の表示手段で画像を同時表示できる請求項7又は8に記載の映像信号処理装置。

【請求項10】 当該入力画像データが輝度成分と色差成分からなる請求項7乃至9の何れか1項に記載の映像信号処理装置。

【請求項11】 当該処理手段が、当該第2の記憶手段から読み出される画像データをコンポジット形式に変換する手段である請求項1に記載の映像信号処理装置。

【請求項12】 当該処理手段が、当該第2の記憶手段から読み出される画像データをコンポジット形式に変換する変換手段と、当該変換手段から出力されるコンポジット信号に同期信号を付加する同期信号付加手段を具備し、更に、パラレル/シリアル変換手段から出力されるシリアルデータをアナログ画像信号に変換する表示制御手段と、当該表示制御手段からのアナログ画像信号を画像表示する画像表示手段を具備する請求項1に記載の映像信号処理装置。

【請求項13】 当該第2の記憶手段の記憶容量が、当該第1の記憶手段の記憶容量より小さい記憶容量である請求項1乃至12の何れか1項に記載の映像信号処理装置。

【請求項14】 当該点順次変換手段のRGB出力点順次列を、当該画像表示手段のRGB点順次列に合わせることを特徴とする請求項5又は6に記載の映像信号処理装置。

【請求項15】 当該第1のリサイズ手段の出力画像サイズが、当該画像表示手段の表示画素サイズに合うように当該第1のリサイズ手段のリサイズ率を可変で

きる請求項5又は6に記載の映像信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、映像信号処理装置に関し、より具体的には、映像表示用の映像信号処理装置に関する。

【0002】

【従来の技術】

図18は、従来の撮像装置の概略構成ブロック図を示す。撮像素子510は光学像を画像信号に変換し、A/D変換器512は、撮像素子510のアナログ出力をデジタル信号に変換する。撮像信号処理回路514は、A/D変換器512の出力データに色キャリア除去、アパーチャ補正及びガンマ処理等を施して輝度信号を作り、同時に色補間、マトリクス変換、ガンマ処理及びゲイン調整等を施して色差信号を作り、YUV形式の映像データを形成する。

【0003】

メモリインターフェース516はメモリ518に対する書込み回路516a及び読出し回路516bを具備し、撮像信号処理回路514からの映像データをメモリ518に書き込み、メモリ518に記憶される映像データを読み出して表示系信号処理回路520に出力する。

【0004】

表示系信号処理回路520は、YUV形式の映像データを輝度成分Yと変調色差成分、いわゆる変調クロマ成分C信号に分離し、それぞれD/A変換器522Y、522Cに印加する。D/A変換器522Yは表示系信号処理回路520からの輝度データをアナログ信号に変換し、ローパスフィルタ(LPF)524YはD/A変換器522Yの出力から高周波ノイズ成分を除去し、LPF524Yの出力は、混合回路526及びLCD制御回路528に印加される。また、D/A変換器522Cは表示系信号処理回路520からの変調クロマデータをアナログ信号に変換し、バンドパスフィルタ(BPF)524CがD/A変換器524Cの出力から変調クロマ成分の周波数成分のみを抽出し、BPF524Cの出力

は、混合回路 5 2 6 及び L C D 制御回路 5 2 8 に印加される。

【 0 0 0 5 】

混合回路 5 2 6 は、L P F 5 2 4 Y からの輝度信号と B P F 5 2 4 C からの変調クロマ信号を加算してコンポジットビデオ信号を生成する。ビデオアンプ 5 3 0 は混合回路 5 2 6 から出力されるコンポジットビデオ信号を増幅して、T V モニタ 5 3 2 に印加する。T V モニタ 5 3 2 の画面上に、撮像素子 5 1 0 による撮影画像が表示される。

【 0 0 0 6 】

L C D 制御回路 5 2 8 は、水晶振動子 5 3 4 からのサブキャリア周波数に従い L P F 5 2 4 Y からの輝度信号 Y 及び B P F 5 2 4 C からの変調クロマ信号 C を R G B 信号に変換し、駆動パルスと共に液晶表示パネル 5 3 6 に印加する。液晶表示パネル 5 3 6 はその画面上に、撮像素子 5 1 0 による撮影画像を表示する。

【 0 0 0 7 】

図 1 9 は、別の従来例の概略構成ブロック図を示す。撮像素子 6 1 0、A / D 変換器 6 1 2、撮像信号処理回路 6 1 4、メモリインターフェース 6 1 6、書込み回路 6 1 6 a、読出し回路 6 1 6 b 及びメモリ 6 1 8 の作用は、図 1 8 に示す従来例の撮像素子 5 1 0、A / D 変換器 5 1 2、撮像信号処理回路 5 1 4、メモリインターフェース 5 1 6、書込み回路 5 1 6 a、読出し回路 5 1 6 b 及びメモリ 5 1 8 の作用と同じであり、同様に Y U V 系の映像データが表示系信号処理回路 6 2 0 に印加される。

【 0 0 0 8 】

表示系信号処理回路 6 2 0 は、Y U V 形式の映像データから、輝度成分 Y、輝度成分と変調クロマ信号 C を加算したコンポジット・ビデオ信号 C V、青色成分 B から輝度成分を除去した色差信号 U ($= B - Y$)、及び赤色成分 R から輝度成分 Y を除去した色差信号 V ($= R - Y$) を生成し、出力する。

【 0 0 0 9 】

D / A 変換器 6 2 2 a は表示系信号処理回路 6 2 0 からのコンポジットビデオデータをアナログ信号に変換し、ローパスフィルタ (L P F) 6 2 4 a は D / A 変換器 6 2 2 a の出力から高周波ノイズ成分を除去する。L P F 6 2 4 a の出力

は、ビデオアンプ 6 2 6 により増幅されて T V モニタ 6 2 8 に印加される。

【 0 0 1 0 】

また、D/A 変換器 6 2 2 b, 6 2 2 c, 6 2 2 d はそれぞれ、表示系信号処理回路 6 2 0 からの輝度データ、色差データ U 及び色差データ V をアナログ信号に変換し、L P F 6 2 4 b, 6 2 4 c, 6 2 4 d は、それぞれ D/A 変換器 6 2 2 b, 6 2 2 c, 6 2 2 d の出力から高周波ノイズ成分を除去する。L P F 6 2 4 b, 6 2 4 c, 6 2 4 d の出力波 L C D 制御回路 6 3 0 に印加される。L P F 6 2 4 c, 6 2 4 d の通過帯域は通常、1. 5 M H z 乃至 2 M H z である。

【 0 0 1 1 】

L C D 制御回路 6 3 0 は、L P F 6 2 4 b からの輝度信号 Y 及び L P F 6 2 4 c, 6 2 4 d からの色差信号 U, V から R G B 信号を生成し、駆動パルスと共に液晶表示パネル 6 3 2 に印加する。液晶表示パネル 6 3 2 は、その画面上に、撮像素子 6 1 0 による撮影画像を表示する。

【 0 0 1 2 】

【発明が解決しようとする課題】

図 1 8 に示す従来例では、変調クロマ信号 C から R G B 信号を生成するためにサブキャリア周波数の水晶発振器が必要となる。これは、装置の部品点数を増加させる。また、複数の異なる映像信号方式に対処するには、各映像信号方式に応じて回路構成を異ならせる必要がある。

【 0 0 1 3 】

カラー・テレビジョンの映像信号方式としては、周知のように、日本及び米国等で採用されている N T S C (N a t i o n a l T e l e v i s i o n S y s t e m C o m m i t e e) 方式と、欧州等で採用されている P A L (P h a s e A l t e r n a t i o n b y L i n e c o l o r t e l e v i s i o n) 方式がある。サブキャリアの搬送周波数は、N T S C 方式の場合で約 3 . 5 8 M H z、P A L 方式の場合で約 4 . 4 3 M H z とされている。従って、映像信号方式が N T S C 方式の場合と P A L 方式の場合とでは、同一の水晶発振器を使用することができない。その結果、回路構成を異ならせる必要があり、部品点数の増加を招き、更には、異なる回路構成のために別々の調整が必要になり、

生産効率（量産性）が悪くなる。

【 0 0 1 4 】

図 1 9 に示す従来例では、輝度信号 Y と 2 つの色差信号 U, V から RGB 信号を生成しているので、サブキャリア周波数の水晶発振器が必要にならない。この点では部品点数を削減できる。しかも、LCD 制御回路 6 3 0 を映像方式の如何に係わらず同一構成とすることができ、従って、図 1 8 に示す従来例よりも量産性にも優れ、しかも高画質化を図ることができる。

【 0 0 1 5 】

しかし、図 1 9 に示す従来例では、上述の如く、輝度信号 Y 及び色差信号 U, V に基づいて RGB 信号を生成するので、液晶表示のために 3 個の D/A 変換器 6 2 2 b, 6 2 2 c, 6 2 2 d が必要になる。また、TV モニタと液晶表示パネルに同時に画像を表示するには、コンポジット・ビデオ信号 CV を加えて 4 種類の信号を出力しなければならない、そのために 4 個の D/A 変換器 6 2 2 a, 6 2 2 b, 6 2 2 c, 6 2 2 d が必要になる。3 乃至 4 個の D/A 変換器を含めて ASIC (Application Specific Integrated Circuit) 化する場合、回路規模が大きくなるという問題点がある。

【 0 0 1 6 】

更に、ASIC で微細化が進むと、ASIC コアの電源電圧が低電圧化し、所定レベルのアナログ出力を必要とする D/A 変換器の回路規模が相対的に大きくなることになり、多数の D/A 変換器を ASIC 化するのは實際上、非常に困難になる。

【 0 0 1 7 】

本発明は、このような問題点に鑑みなされたものであり、D/A 変換器の数を減らせる映像信号処理装置を提示することを目的とする。

【 0 0 1 8 】

【課題を解決するための手段】

本発明に係る映像信号処理装置は、入力画像データをリサイズする第 1 のリサイズ手段と、当該第 1 のリサイズ手段から出力される画像データを記憶する第 1 の記憶手段と、当該第 1 の記憶手段から読み出される画像データを一時的に記憶

する記憶手段であって書き込みと読み出しを非同期に実行自在な第 2 の記憶手段と、当該第 2 の記憶手段から読み出される画像データに所定の処理を施す処理手段と、当該処理手段からの画像データを、当該画像データのビット数よりも少ない数のシリアル信号に変換するパラレル／シリアル変換手段とを具備することを特徴とする。

【 0 0 1 9 】

【実施例】

以下、図面を参照して、本発明の実施例を詳細に説明する。

【 0 0 2 0 】

(第 1 実施例)

図 1 は、本発明の第 1 実施例の概略構成ブロック図を示す。10 は光学像を電気信号に変換する撮像素子、12 は撮像素子 10 からのアナログ画像信号をデジタル信号に変換する A/D 変換器、14 は、A/D 変換器 12 の出力データに色キャリア除去、アパーチャ補正及びガンマ処理等を施して輝度信号を作り、同時に色補間、マトリクス変換、ガンマ処理及びゲイン調整等を施して色差信号を作り、YUV 形式の映像データを形成する撮像信号処理回路、16 は、水晶発振器（例えば、発振周波数 36MHz）18 の出力に従い撮像素子 10、A/D 変換器 12 及び撮像信号処理回路 14 が必要とするクロック及びタイミング信号を生成し、撮像素子 10、A/D 変換器 12 及び撮像信号処理回路 14 に供給するタイミング発生回路である。

【 0 0 2 1 】

20 は、撮像信号処理回路 14 からの画像データを表示サイズにリサイズするリサイズ回路、22 は、メモリ（DRAM）24 に対する書込み回路 22a 及び読み出し回路 22b を具備し、リサイズ回路 20 からの映像データをメモリ 24 に書き込み、メモリ 24 に記憶される映像データを読み出すメモリインターフェースである。画像表示用のメモリ空間（いわゆる VRAM）がメモリ 24 上に割り当てられる。

【 0 0 2 2 】

VRAM における画像データの格納形式には、 $Y : U : V = 4 : 2 : 2$ と $Y :$

U : V = 4 : 1 : 1 の 2 通りがある。輝度信号 Y と色差信号 U / V がそれぞれ 8 ビットデータであるとする、Y : U : V = 4 : 2 : 2 場合、

上位バイトデータ = Y 0 Y 1 Y 2 Y 3 Y 4 Y 5 Y 6 Y 7 . . .

下位バイトデータ = U 0 V 0 U 2 V 2 U 4 V 4 U 6 V 6 . . .

というように、VRAM にデータが格納される。これに対し、Y : U : V = 4 : 1 : 1 の場合には、

上位バイトデータ : Y 0 Y 1 Y 3 Y 4 Y 5 Y 7 . . .

下位バイトデータ) U 0 V 0 Y 2 U 4 V 4 Y 6 . . .

というように、VRAM にデータが格納される。

【 0 0 2 3 】

Y : U : V = 4 : 1 : 1 のデータ量は Y : U : V = 4 : 2 : 2 のデータ量の 3 / 4 になる。TV モニタ及び液晶表示パネルの画像表示の帯域ならば、Y : U : V = 4 : 1 : 1 で十分なデータ量である。従って、メモリ容量及びデータ転送効率の観点で最適な VRAM は、Y : U : V = 4 : 1 : 1 の格納形式に対応できればよいことになる。但し、Y : U : V = 4 : 2 : 2 の格納形式は、輝度成分 Y と色差成分 UV がデータの上位と下位に分離されているので、処理しやすい。本実施例では、VRAM のデータ格納形式ではどちらでも良いが、ここでは便宜上、Y : U : V = 4 : 2 : 2 の格納形式であるとする。

【 0 0 2 4 】

撮像素子 1 0 が 2 0 0 万画素相当の場合、撮像信号処理回路 1 4 の 1 画面当たりの出力データ量は、水平 1 6 0 0 画素、垂直 1 2 0 0 画素に相当するものになる。リサイズ回路 2 0 は、撮像信号処理回路 1 4 の出力データを表示に適した VRAM サイズにリサイズして、メモリ 2 4 の VRAM に格納する。例えば、液晶表示パネルの表示領域が水平 (H) : 5 2 1 ドット、垂直 (V) : 2 1 8 ドットの場合、この画面サイズに合うように VRAM のサイズを設定すると共に、リサイズ回路 2 0 による出力画面サイズを水平 5 2 1 画素、垂直 2 1 8 ラインに設定する。また、これとは異なるドット数の液晶表示パネルを使用する場合には、それに合わせてリサイズ回路 2 0 の出力サイズの設定を変更する。

【 0 0 2 5 】

撮像素子によっては、垂直方向の画素を2画素加算して読み出すことが可能であり、その場合には、垂直600画素の読出しになり、感度とフレームレートの向上を図ることができる。通常、VRAMの垂直サイズは300ライン以下なので、撮像素子からの読出し時に、垂直方向の4画素を加算したり、2画素加算・2画素捨てを行なうことで、撮像素子の読出しのフレームレートを更に上げることができる。

【0026】

26は、メモリインターフェース22から出力される映像データを異なるデータレートに変換するための緩衝用のFIFO（ファーストイン・ファーストアウト）メモリである。詳細は後述するが、FIFOメモリ26は、メモリインターフェース22からの18MHzのデータ列を11.04MHzのデータ列に変換する。

【0027】

28は、FIFOメモリ26からのYUV形式の映像データをRGB形式にマトリクス変換するYUV/RGB変換器、30はYUV/RGB変換器28のRGBの並列出力をRGB点順次形式に変換する点順次変換器、32は点順次変換器30のRGB点順次信号出力に同期信号を付加する同期信号付加回路、34は同期信号付加回路32から出力される同期信号付きの8ビットパラレルのRGB点順次信号を1乃至4ビット程度のシリアル信号に変換するP/S変換器である。

【0028】

36は、P/S変換器34からの映像データを発振器38からのクロックに従ってパラレル化し、液晶表示パネル40に印加して画像表示させるLCD制御回路である。42は、LCD制御回路36からの44.16MHz又は22.08MHzクロックに従い表示用同期信号を発生する表示用同期信号発生回路である。LCD制御回路36から出力される44.16MHz又は22.08MHzクロックは、FIFOメモリ26、YUV/RGB変換器28、点順次変換器30、同期信号付加回路32、P/S変換器34及び表示用同期信号発生回路42に印加される。表示用同期信号発生回路42の発生する同期信号は、メモリインタ

ーフェース 2 2 の読出し回路 2 2 b、F I F O メモリ 2 6、Y U V / R G B 変換器 2 8、点順次変換器 3 0、同期信号付加回路 3 2 及び P / S 変換器 3 4 に印加される。

【 0 0 2 9 】

図 2 は、F I F O メモリ 2 6 の構成例を示す。入力端子 5 0 には、メモリインターフェース 2 2 からライトデータの有効を示す V A L I D フラグが入力し、入力端子 5 2 には、メモリインターフェース 2 2 からライトデータ D A T A が入力し、入力端子 5 4 には、書込みクロック W R _ C K が入力し、入力端子 5 6 には F I F O メモリ 2 6 からの読出しタイミングを規定するリードフラグが入力し、入力端子 5 8 には読出しクロック R D _ C K が入力する。

【 0 0 3 0 】

V A L I D フラグが ' 1 ' のとき、入力端子 5 2 に映像データが入力し、V A L I D フラグが ' 0 ' のとき、入力端子 5 2 には映像データが入力しない。書込みクロック W R _ C K は、本実施例では、タイミング発生回路 1 6 から出力される 3 6 M H z を 2 分周した 1 8 M H z のクロックである。書込み W R _ C K のレートと V A L I D フラグのレートは、必ずしも一致していない。F I F O メモリ 2 6 へのデータ書込みのレートは、撮像素子 1 0 から映像データを読み出すレートにほぼ一致しており、書込み W R _ C K のレートは、F I F O メモリ 2 6 へのデータ書込みのレートとは無関係である。

【 0 0 3 1 】

ラッチ回路 6 0 は、V A L I D フラグが ' 1 ' のときに、入力端子 5 2 のデータを取り込む。書込みアドレス発生回路 6 2 は、V I L I D フラグが ' 1 ' のときに書込みクロック W R _ C K に従ってインクリメントされる書込みアドレスを発生する。読出しアドレス発生回路 6 4 は、読出しフラグが ' 1 ' のときに読出しクロック R D _ C K に従ってインクリメントされる読出しクロックを発生する。

【 0 0 3 2 】

6 6 は、データ書込み用のポートとデータ読出し用のポートを具備する S R A M であり、データ書込みポート W R _ D T に入力データラッチ回路 6 0 の出力デ

ータが入力し、書込みクロックポートWR__CKに入力端子54からの書込みクロックWR__CKが入力し、書込みアドレスポートWR__ADRに書込みアドレス発生回路62の出力が入力し、読出しクロックポートRD__CKに入力端子58からの読出しクロックRD__CKが入力し、読出しアドレスポートRD__ADRに読出しアドレス発生回路64の出力が入力する。SRAM66は、書込みクロックWR__CKに従い、書込みアドレス発生回路62の発生する書込みアドレスが示すアドレスに入力データラッチ回路60からのデータを書き込む。

【0033】

SRAM66はまた、入力端子56の読出しフラグが‘1’のときに、読出しクロックRD__CKに従い、読出しアドレス発生回路64からの読出しアドレスの示すアドレスからデータを読み出して読出しデータ出力ポートRD__DTから出力するが、入力端子56の読出しフラグが‘0’のときにはデータを読み出さない。読出しフラグは、液晶表示パネル40のドットクロック11.04MHzに等しいレートで変化する。読出しクロックRD__CKは、その11.04MHzのn倍であり、nは2又は4になる。従って、書込みクロックWR__CKと読出しクロックRD__CKは完全に非同期である。

【0034】

輝度信号ラッチ回路68は、読出しクロックRD__CKに従い、SRAM66の出力データの内の輝度データを取り込み、色差信号ラッチ回路70は、読出しクロックRD__CKに従い、SRAM66の出力データの内の色差データを取り込む。輝度信号ラッチ回路68と色差信号ラッチ回路70は、これらの出力がY:U:V=4:2:2になるような構成になっている。メモリ24上のVRAMがY:U:V=4:2:2のデータ形式で構成されている場合、SRAM66の出力の上位バイトが輝度データで、下位バイトが色差(UV)データになるので、出力データのビット分配で輝度データと色差(UV)データを簡単に分離でき、Y:U:V=4:2:2のデータ形式になる。メモリ24上のVRAMがY:U:V=4:1:1のデータ形式で構成されている場合、SRAM66の出力を読出しアドレス毎に区別してY:U:V=4:1:1データ形式をY:U:V=4:2:2のデータ形式へ変換するように輝度信号ラッチ回路68及び色差信号

ラッチ回路 70 を構成する。つまり、輝度信号ラッチ回路 68 は、読出しアドレスに従い、SRAM 66 の出力データの上位と下位に存在する輝度データを取り込み、色差信号ラッチ回路 70 は、読出しアドレスに従い、SRAM 66 の出力データの下位バイトだけに存在する色差データを取り込む。これにより、 $Y:U:V=4:2:2$ の形式にできる。

【 0 0 3 5 】

このような FIFO メモリ 26 の構成により、タイミング発生回路 16 の出力クロックを 2 分周した 18MHz のデータレートを、液晶表示パネル 40 のドットクロック 11.04MHz のレートに変換する。

【 0 0 3 6 】

図 3 は、点順次変換器 30 の概略構成ブロック図を示し、図 4 は、その動作タイミングを示す。セクタ 80 は、切替え制御信号 `color_CHG` が '0' のとき G データを選択し、切替え制御信号 `color_CHG` が '1' のとき B データを選択する。セクタ 82 は、切替え制御信号 `color_CHG` が '0' のとき B データを選択し、切替え制御信号 `color_CHG` が '1' のとき G データを選択する。セクタ 84 は、液晶表示パネル 40 のドットクロックと同じレートの切替え制御信号 `color_count` に従い、R データ、セクタ 80 の出力又はセクタ 82 の出力を選択する。

【 0 0 3 7 】

切替え制御信号 `color_count` は、液晶表示パネル 40 のドットクロックのレートで '00', '01', '10' の 3 値を循環するアップカウンタ（図示せず。）により生成される。このアップカウンタの初期値を変更することで、図 4 に示すように、モード #0 ~ #2 とモード #3 ~ #5 を切り替えることができる。切替え制御信号 `color_CHG` により、G データと B データのどちらを先にするかを選択できる。その結果として、図 4 及び以下に例示するように、

モード #0 : R, G, B, R, G, B, . . .

モード #1 : G, B, R, G, B, R, . . .

モード #2 : B, R, G, B, R, G, . . .

モード#3: R, B, G, R, B, G, . . .

モード#4: B, G, R, B, G, R, . . .

モード#5: G, R, B, G, R, B, . . .

の6種類の変換モードを選択できる。

【0038】

図5及び図6を参照して、同期信号付加回路32の動作を説明する。図5は、映像期間と垂直ブランキング期間の模式図を示し、図6は、水平ブランキング期間内のE__RGB, S__RGBの一例を示す。

【0039】

図5で、86は、液晶表示パネル40に表示される映像と表示されないブランキング部分との関係を平面図で示す図であり、上部と中央部に垂直ブランキング期間が存在し、左側に水平ブランキング期間が存在する。映像表示されるRGBデータは、水平521画素、垂直218ライン内にある。88は、水平方向に注目した1ラインのタイミングを示す。E__RGBはRGBデータの終わりを示し、S__RGBはRGBデータの始まりを示す。図6は、E__RGB及びS__RGBのデータ構造とデータ例を示す。FFhと00hをマーカにしてブランキングか否かを判別する。従って、RGBデータ部分では、FFh及び00Hが存在しないように予め処理されている。

【0040】

図6を詳細に説明すると、最初のFFhに続いて00hが2回続くのがマーカになり、その次のデータに垂直ブランキングか水平ブランキングかを判別するビットがある。V='0'のとき、RGBデータに対するものであることを示し、V='1'のとき、垂直ブランキングに対するものであることを示す。H='0'は、RGBデータの始まりを示し、H='1'はRGBデータの終わりを示す。水平ブランキング期間内で、E__RGB及びS__RGB以外の部分は、03Hで埋められる。

【0041】

図7は、P/S変換器34の概略構成ブロック図を示し、図8は、そのタイミング図を示す。図7及び図8を参照して、P/S変換器34の動作を詳細に説明

する。入力端子 9 0 に、8 ビットの RGB 点順次データの各ビット $b_0 \sim b_7$ が並列に入力し、入力端子 9 2 には液晶表示パネル 4 0 のドットクロック (11.04 MHz) 相当のデータ切替え制御信号 DATA_CHG が入力する。フリップフロップ (FF) 9 4, 9 8, 1 0 2, 1 0 6, 1 1 0, 1 1 4, 1 1 8, 1 2 2 は、LCD 制御回路 3 6 からのクロック (44.16 MHz) で動作する。セクタ 9 6, 1 0 0, 1 0 4, 1 1 2, 1 1 6, 1 2 0 は、データ切替え制御信号 DATA_CHG に従って、切り替わる。データ切替え制御信号 DATA_CHG は、LCD 制御回路 3 6 からのクロック (44.16 MHz) の 4 クロック中の 1 クロックを '1' にすることで形成される。

【0042】

フリップフロップ 1 0 6 の出力が出力端子 1 0 8 から出力され、フリップフロップ 1 2 2 の出力が出力端子 1 2 4 から出力される。図 7 に示す構成では、8 ビットパラレルデータ 2 本のシリアルデータに変換している。これにより、LCD 制御回路 3 6 へのデータ配線本数を削減している。図 8 に示すように、液晶表示パネル 4 0 のドットクロック (11.04 MHz) のレートで入力する RGB 点順次信号が、データ切替え制御信号 DATA_CHG = '1' のときに一斉に各 FF 9 4, 9 8, 1 0 2, 1 0 6, 1 1 0, 1 1 4, 1 1 8, 1 2 2 に取り込まれる。44.16 MHz のクロックに同期して、出力端子 1 0 8 から b_7, b_6, b_5, b_4 が順に出力され、出力端子 1 2 4 から b_3, b_2, b_1, b_0 が順に出力される。

【0043】

図 9 は、8 ビットパラレルデータを 4 本のシリアル信号に変換する場合の P/S 変換器 3 4 の概略構成ブロック図を示し、図 1 0 は、その動作タイミング図を示す。入力端子 1 3 0 に、8 ビットの RGB 点順次データの各ビット $b_0 \sim b_7$ が並列に入力し、入力端子 1 3 2 には液晶表示パネル 4 0 のドットクロック (11.04 MHz) 相当のデータ切替え制御信号 DATA_CHG が入力する。

【0044】

フリップフロップ 1 3 4 ~ 1 4 8 は、LCD 制御回路 3 6 からの 22.08 MHz のクロックに従って動作し、入力端子 1 3 2 に入力するデータ切替え制御信

号DATA__CHGが‘1’のときに、入力端子130に入力する各ビットb0～b7をラッチする。セクタ150～156は、データ切替え制御信号DATA__CHGが‘1’のときに、フリップフロップ134, 136, 138, 140の出力を選択し、データ切替え制御信号DATA__CHGが‘0’のときに、フリップフロップ142, 144, 146, 148の出力を選択する。フリップフロップ158～164は、LCD制御回路36からの22.08MHzのクロックに従って動作し、それぞれ、セクタ150～156の選択データをラッチし、出力端子166～172に出力する。

【0045】

図9に示す構成では、図10に示すように、液晶表示パネル40のドットクロック(11.04MHz)のレートで入力するRGB点順次信号が、DATA__CHG=‘1’で一斉にフリップフロップ134～148に取り込まれる。そして、22.08MHzのクロックに同期して、出力端子166からb7とb3が交互に出力され、出力端子168からb6とb2が交互に出力され、出力端子170からb5とb1が交互に出力され、出力端子172からb4とb0が交互に出力される。このようにして、8ビットパラレルデータが4つのシリアルデータに変換される。

【0046】

P/S変換器34及びこれより前段の回路をASIC化する前提では、P/S変換器34からLCD制御回路36への信号線数を減らすことが重要である。8ビットパラレル信号を1ビットのシリアル信号に変換できれば、効果的である。他方、P/S変換器34で信号線数を1/nにすると、LCD制御回路36からクロックのn倍の周波数(1ビットシリアルに変換した場合にはn=8であり、88.32MHzになる。)のクロックでP/S変換器34を動作させる必要が生じ、クロックの高速化により、回路規模が増大するだけでなく、タイミング設計が難しくなる。従って、P/S変換器34からLCD制御回路36への信号線数を最適に選択する必要がある。

【0047】

図11は、LCD制御回路36の概略構成ブロック図を示す。S/P変換器1

80は、P/S変換器34からのシリアルRGB点順次信号をパラレルRGB信号に変換し、D/A変換器182はS/P変換器180の出力データをアナログ信号に変換する。同時化回路184は、D/A変換器182から出力されるパラレルRGB信号をR、G、Bの各成分に分離して同時化し、バッファアンプ186R、186G、186Bにより液晶表示パネル40に合致する電圧レベルに調整して、液晶表示パネル40に印加する。同期分離回路188は、P/S変換器34からのシリアルデータから水平同期信号及び垂直同期信号を分離し、液晶表示パネル40に印加する。LCD制御回路36は他に、液晶表示パネル40の液晶表示素子を駆動する駆動パルスが発生して液晶表示パネル40に印加する。

【0048】

図12は、LCD制御回路36の別の構成例を示す。S/P変換器190は、P/S変換器34からのシリアルRGB点順次信号をパラレルRGB信号に変換し、同時化回路192が、S/P変換器190から出力されるパラレルRGB信号を同時化する。ラッチ回路194R、194G、194Bは、同時化回路192からのRデータ、Gデータ及びBデータをそれぞれラッチし、D/A変換器196R、196G、196Bがそれぞれラッチ回路194R、194G、194Bの出力データをアナログ信号に変換する。バッファアンプ198R、198G、198Bが、それぞれ、D/A変換器196R、196G、196Bの出力を液晶表示パネル40に合致する電圧レベルに調整して、液晶表示パネル40に印加する。

【0049】

図11に示す構成は、D/A変換器の数が少ないので、回路規模が比較的小さくなるが、アナログ信号での高速な同時化が難しく、良い特性を得にくい。逆に、図12に示す構成では、デジタル信号でRGB信号を同時化するので、所望の特性を得やすく、回路構成も簡易になるが、3個のD/A変換器が必要となるので、回路規模が増大する。周囲の状況に応じてLCD制御回路36の最適な構成を選択すれば良い。

【0050】

図13は、S/P変換器180、190の概略構成ブロック図を示す。ここで

は、図 7 に対応して、2 つのシリアル信号を 8 ビットパラレル信号に変換する構成例を示してある。図 1 3 に示す構成は、基本的に、図 7 に示す構成での P / S 変換とは逆の変換を実現するものである。図 1 4 は、図 1 3 に示す構成の動作タイミング図を示す。

【 0 0 5 1 】

入力端子 2 0 0, 2 0 2 には、液晶表示パネル 4 0 のドットクロックレート (1 1 . 0 4 M H z) でデータが入力する。入力端子 2 0 0 の入力データは、シリアル接続されるフリップフロップ 2 0 4, 2 0 6, 2 0 8 からなるシフトレジスタに入力し、入力端子 2 0 2 の入力データは、シリアル接続されるフリップフロップ 2 1 0, 2 1 2, 2 1 4 からなるシフトレジスタに入力する。

【 0 0 5 2 】

図 1 4 に示すように、ゲート付きフリップフロップ 2 1 6, 2 1 8, 2 2 0, 2 2 2 はそれぞれ、フリップフロップ 2 0 8, 2 0 6 及び 2 0 4 の出力並びに入力端子 2 0 0 の入力データを、上述の信号 DATA _ CHG が ' 1 ' のときに一斉に取り込む。フリップフロップ 2 1 6 ~ 2 2 2 の出力が、8 ビットパラレル信号のビット b 7 ~ b 4 になっている。同様に、ゲート付きフリップフロップ 2 2 4, 2 2 6, 2 2 8, 2 3 0 はそれぞれ、フリップフロップ 2 1 4, 2 1 2 及び 2 2 0 の出力並びに入力端子 2 0 2 の入力データを上述の信号信号 DATA _ CHG が ' 1 ' のときに一斉に取り込む。フリップフロップ 2 2 4 ~ 2 3 0 の出力が、8 ビットパラレル信号のビット b 3 ~ b 0 になっている。

【 0 0 5 3 】

図 1 3 に示す構成では、信号 DATA _ CHG のタイミングを基にシリアル信号をパラレル信号に変換している。しかし、入力シリアル信号をデコードして、水平ブランキング中の E _ RGB 又は S _ RGB を判別し、そのタイミングに従って 4 ビットカウンタをリセットして、信号 DATA _ CHG に相当する信号を形成できるので、外部から DATA _ CHG 信号を導入しなくても、同様の S / P 変換を実現できる。

【 0 0 5 4 】

発振器 3 8 は、例えば、液晶表示パネル 4 0 のドットクロックが 1 1 . 0 4 M

H z の場合で、P / S 変換器 34 が 2 本のシリアル出力を具備するときには、 $11.04\text{MHz} \times 4 = 44.16\text{MHz}$ で発振し、P / S 変換器 34 が 4 本のシリアル出力を具備するときには、 $11.04\text{MHz} \times 2 = 22.08\text{MHz}$ で発振する。

【0055】

表示用同期信号発生回路 42 は、LCD 制御回路 36 からのクロック ($11.04\text{MHz} \times 4 = 44.16\text{MHz}$) に従い各種のタイミング信号、例えば、FIFO メモリ 26 のデータ読出しタイミング信号、及び YUV / RGB 変換器 28、点順次変換器 30、同期信号付加回路 32 及び P / S 変換器 34 へのドットクロックのタイミング信号を発生し、供給する。

【0056】

メモリ 24 上に構成する VRAM に格納される画像データを乱れること無しに液晶表示パネル 40 上に正しく画像表示するには、FIFO メモリ 26 でデータレートを変換した後、LCD 制御回路 36 からのドットクロックで RGB シリアル点順次信号を形成する必要がある。

【0057】

図 1 に示す実施例の動作を説明する。撮像素子 10 の出力信号は、A / D 変換器 12 によりデジタル信号に変換されて、撮像信号処理回路 14 に入力する。撮像信号処理回路 14 は、入力画像データに、色キャリア除去、アパーチャ補正及びガンマ変換等の処理を施して輝度データ Y を生成し、色補間、マトリクス変換及びガンマ変換等の処理を施して色差データ U ($=B - Y$)、V ($=R - Y$) を生成する。撮像信号処理回路 14 の出力データは、Y : U : V = 4 : 2 : 2 の格納形式で、画面左上から順に、

上位バイトデータ : $Y_0 Y_1 Y_2 Y_3 Y_4 Y_5 Y_6 Y_7 \dots$

下位バイトデータ : $U_0 V_0 U_2 V_2 U_4 V_4 U_6 V_6 \dots$

というように、水平 1600 画素及び垂直 300 画素でリサイズ回路 20 に入力する。この場合、撮像素子 10 の電荷信号は、垂直方向に 2 画素加算 2 画素捨てで読み出される。

【0058】

リサイズ回路 20 は、撮像信号処理回路 14 からの輝度データ及び色差データを、水平 521 画素、垂直 218 ラインの VRAM サイズにリサイズし、メモリインターフェース 22 を介してメモリ 24 に書き込む。メモリインターフェース 22 は、VRAM 書込みのタイミングと完全に非同期の液晶表示パネル 40 の表示タイミングでメモリ 24 上の VRAM データを読み出し、FIFO メモリ 26 へ入力する。VRAM からの読出しでは、書込み時の VRAM サイズと同じサイズの同じエリアのデータを読み出す。

【0059】

メモリ 24 へのデータ書き込みの際の、リサイズ回路 20、メモリインターフェース 22 及びメモリ 24 の動作クロックは、タイミング発生回路 16 の発振器 18 の 36MHz 出力と同期しているが、非同期であってもよい。リサイズ回路 20、メモリインターフェース 22、及びメモリ 24 のクロックがタイミング発生回路 16 の発振器 18 の出力と非同期の場合、撮像信号処理回路 14 の出力段に出力データを非同期にリサイズ回路 20 に転送する回路を組み込めばよい。その場合でも、平均的な VRAM 書込みのレートは、撮像素子 10 からのデータ読出しレートに等しくなり、液晶表示パネル 40 の表示レートとはまったく非同期になる。

【0060】

FIFO メモリ 26 は、先に説明したように、データ書込みとは非同期にデータを読み出せる。この実施例では、FIFO メモリ 26 への書込みは、発振器 18 の出力周波数 36MHz を 2 分周した 18MHz で行われ、読出しは、LCD 制御回路 36 からの 22.08MHz のクロックに従って行われる。これにより、液晶表示パネル 40 のドットクロックに依存せずに、撮像素子 10 の駆動クロックを決定でき、逆に、撮像素子 10 の駆動クロックに依存せずに、液晶表示パネル 40 のドットクロックを任意に選択でき、システム設計時にパフォーマンスの自由な設定が可能になる。

【0061】

表示用同期信号発生回路 42 は、LCD 制御回路 36 からのクロックに従って各種のタイミング信号を生成し、FIFO メモリ 26、YUV/RGB 変換器 2

8、点順次化回路 3 0、同期信号付加回路 3 4 及び P / S 変換器 3 4 に印加する

【 0 0 6 2 】

Y U V / R G B 変換器 2 8 は、F I F O メモリ 2 6 から読み出された Y : U : V = 4 : 2 : 2 形式のデータを下記式に従って R G B 形式に変換する。すなわち

$$R = V + Y = R - Y + Y$$

$$B = U + Y = B - Y + Y$$

$$G = 1.6949 \times Y - (0.5085 \times R + 0.1864 \times B)$$

である。

【 0 0 6 3 】

点順次変換器 3 0 は、Y U V / R G B 変換器 2 8 からの R データ、G データ及び G B データを R G B 点順次信号に変換する。この時、点順次化信号上での R G B の順序は、L C D 制御回路 3 6 内の同時化回路 1 8 4 又は同 1 9 2 の同時化順序と合わせる必要がある。そこで、本実施例では、図 3 に示すように、点順次信号での R、G、B の順序をモード # 0 ~ # 5 の 6 種類の中から任意に選択できるようになっている。つまり、L C D 制御回路 3 6 内の同時化回路 1 8 4 又は同 1 9 2 が、点順次信号を R G B の順で同時化する場合には、点順次変換器 3 0 は、モード # 0 で R G B データを点同時化するように制御される。

【 0 0 6 4 】

同期信号付加回路 3 2 は、点同時化回路 3 0 から出力される R G B 点順次信号のブランキング期間に、ブランキングコード及び同期信号コードを埋め込む。同期信号付加回路 3 2 は同時に、映像データが F F h と 0 0 h のデータ値を含まないように、リミッタをかける。P / S 変換器 3 4 は、同期信号付加回路 3 2 から出力される 8 ビットの平行データを変換し、2 本又は 4 本のシリアルデータに変換する。

【 0 0 6 5 】

L C D 制御回路 3 6 は、P / S 変換器 3 4 からの 2 本又は 4 本のシリアルデータを 8 ビット平行データに変換し、アナログ信号に変換し、R 信号、G 信号

及びB信号を同時化し、それぞれの電圧レベルを調整して、駆動パルスと共に液晶表示パネル40に印加する。これにより、撮像素子10に入射する光学像が、可視画像として液晶表示パネル40の画面上に表示される。このようにパラレル画像データのビット数よりも少ないビット数のシリアル信号に変換して（例えば、24ビットのパラレルデータを、R、G、Bそれぞれ8ビットのシリアルデータにする。）D/A変換するので、D/A変換器の数を減らして、回路規模を小さくできる。

【0066】

（第2実施例）

図15は、本発明の第2実施例の概略構成ブロック図を示す。この実施例では、撮像素子に入射する光学像を液晶表示パネルとTVモニタの両方に同時に表示させることができる。

【0067】

310は光学像を電気信号に変換する撮像素子、312は撮像素子310からのアナログ画像信号をデジタル信号に変換するA/D変換器、314は、A/D変換器312の出力データに色キャリア除去、アパーチャ補正及びガンマ処理等を施して輝度信号を作り、同時に色補間、マトリクス変換、ガンマ処理及びゲイン調整等を施して色差信号を作り、YUV形式の映像データを形成する撮像信号処理回路、316は、水晶発振器（例えば、発振周波数36MHz）318の出力に従い撮像素子310、A/D変換器312及び撮像信号処理回路314が必要とするクロック及びタイミング信号を生成し、撮像素子310、A/D変換器312及び撮像信号処理回路314に供給するタイミング発生回路である。

【0068】

320は、撮像信号処理回路314からの画像データをTVモニタの表示サイズ（NTSCの場合で、720×480程度）にリサイズするリサイズ回路、322は、メモリ（DRAM）324に対する書込み回路322a及び読出し回路322bを具備し、リサイズ回路320からの映像データをメモリ324に書き込み、メモリ324に記憶される映像データを読み出すメモリインターフェースである。画像表示用のメモリ空間（いわゆるVRAM）がメモリ324上に割り

当てられる。第 1 実施例の場合と同様に、V R A M における画像データの格納形式には、 $Y : U : V = 4 : 2 : 2$ と $Y : U : V = 4 : 1 : 1$ の 2 通りがあるが、この実施例では、 $Y : U : V = 4 : 2 : 2$ の形式を採用する。3 2 6 は、メモリインターフェース 3 2 2 から出力される映像データを異なるデータレートに変換するための緩衝用の F I F O メモリである。

【 0 0 6 9 】

3 2 7 は、F I F O メモリ 3 2 6 からの映像データを液晶表示パネルに適した表示サイズ（例えば、 $5 2 1 \times 2 1 8$ 画素）に変換するリサイズ回路、3 2 8 は、リサイズ回路 3 2 7 からの Y U V 形式の映像データを R G B 形式に変換する Y U V / R G B 変換器、3 3 0 は Y U V / R G B 変換器 3 2 8 の R G B の並列出力を R G B 点順次形式に変換する点順次変換器、3 3 1 は、点順次変換器 3 3 0 の R G B 点順次信号出力を別のクロックに同期させるクロックシフタ、3 3 2 は、クロックシフタ 3 3 1 からの R G B 点順次信号に同期信号を付加する同期信号付加回路、3 3 4 は同期信号付加回路 3 3 2 から出力される同期信号付きの 8 ビットパラレルの R G B 点順次信号を 1 乃至 4 ビット程度のシリアル信号に変換する P / S 変換器である。3 3 6 は、P / S 変換器 3 3 4 からの映像データを発振器 3 3 8 からのクロックに従ってパラレル化し、液晶表示パネル 3 4 0 に印加して画像表示させる L C D 制御回路である。

【 0 0 7 0 】

3 4 2 は、F I F O メモリ 3 2 6 からの Y U V 形式の映像信号から輝度信号 Y と変調クロマ信号 C を生成し、その輝度信号 Y と変調クロマ信号 C を加算してコンポジット映像データを生成して出力する T V 系信号処理回路、3 4 4 は T V 系信号処理回路 3 4 2 からのコンポジット映像データをアナログ信号に変換する D / A 変換器、3 4 6 は、D / A 変換器 3 4 4 の出力信号から高周波ノイズ成分を除去するローパスフィルタ（L P F）、3 4 8 は、L P F 3 4 6 の出力を増幅するビデオアンプ、3 5 0 はビデオアンプ 3 4 8 から出力されるコンポジット映像信号を画像表示する T V モニタである。

【 0 0 7 1 】

3 5 2 は、付属する発振器 3 5 4 の出力に従い、メモリインターフェース 3 2

2の読出し回路322b及びFIFOメモリ326に読出しタイミング信号を供給し、リサイズ回路327、YUV/RGB変換器328、点順次変換器330、TV系信号処理回路342及びD/A変換器344のそれぞれに表示用のタイミング信号を供給する表示用同期信号発生回路である。発振器354は27MHzで発振し、FIFOメモリ326に対する読出しタイミング信号は、その27MHzのクロックに同期している。表示用同期信号発生回路352は、D/A変換器344は、発振器354の27MHzのクロックを2分周した13.5MHzのクロックをD/A変換器344に印加し、D/A変換器344は、そのクロックでTV系信号処理回路342からのコンポジット映像データをアナログ信号に変換する。

【0072】

図15に示す実施例の動作を説明する。撮像素子310、A/D変換器312、撮像信号処理回路314、リサイズ回路320及びメモリインターフェース322からなる部分は、図1に示す実施例の対応部分と同様に動作する。但し、リサイズ回路320の出力画像サイズは、NTSC方式の表示用に、水平752画素、垂直242ライン（フィールド表示）である。

【0073】

FIFOメモリ326への書込みは、第1実施例と同様に、タイミング発生回路316からの18MHzのレートで行われるが、読出しは、第1実施例とは異なり、表示用同期信号発生回路352の発振器354からの27MHzクロックに同期して実行される。

【0074】

TV系信号処理回路342は、FIFOメモリ326から読み出されるYUV形式の映像データから、TV表示用の同期信号付き輝度データY+Sと、NTSC方式又はPAL方式にそれぞれ準拠する変調クロマ信号Cを生成し、その同期信号付き輝度データY+Sと変調クロマ信号Cを加算してコンポジット映像データCVに生成する。D/A変換器344は、TV系信号処理回路342からのコンポジット映像データをアナログ信号に変換し、LPF346はD/A変換器344の出力から映像信号帯域外の高周波ノイズ成分を除去する。ビデオアンプ3

48は、LPF346の出力信号のゲインレベルを調整し出力インピーダンスをTV規格に合わせて、TVモニタ350に印加する。これにより、撮像素子310の光学像が可視表示される。表示用同期信号発生回路352は、このTV表示用の各種タイミング信号を発生する。

【0075】

一方、リサイズ回路327は、FIFOメモリ326から読み出された映像データを、TVの表示サイズ（水平720×垂直242）から液晶表示パネル340の表示サイズ（水平521×垂直218）にリサイズする。YUV／RGB変換器328は、YUV／RGB変換器28と同様に、リサイズ回路327から出力されるYUV形式の画映像データをRGB形式に変換し、点順次化回路330が、回路328のRGB出力を点順次化する。点順次化回路330は、表示用同期信号発生回路352からの27MHzクロックに従って動作し、その点順次化RGBデータは、LCD制御回路336のクロックに同期させるためのクロックシフタ331を介して同期信号付加回路332に入力する。

【0076】

同期信号付加回路332は、同期信号付加回路32と同様に、入力データに液晶表示用の同期コードを付加し、P／S変換器334は、P／S変換器34と同様に、同期信号付加回路332からの8ビットパラレルデータを2本又は4本のシリアルデータに変換して、LCD制御回路336に印加する。

【0077】

LCD制御回路336は、LCD制御回路36と同様に、P／S変換器334からのRGB点順次シリアルデータをR、G、Bの各アナログ信号に変換して液晶表示パネル340に印加する。

【0078】

（第3実施例）

図16は、本発明の第3実施例の概略構成ブロック図を示す。撮像素子410、A／D変換器412、撮像信号処理回路414、タイミング発生回路416、発振器418、リサイズ回路420、メモリインターフェース422、メモリ424及びFIFOメモリ426の作用は、それぞれ、図15に示す実施例の撮像

素子 3 1 0、A/D変換器 3 1 2、撮像信号処理回路 3 1 4、タイミング発生回路 3 1 6、発振器 3 1 8、リサイズ回路 3 2 0、メモリインターフェース 3 2 2、メモリ 3 2 4 及び F I F O メモリ 4 2 6 の作用と同じである。

【 0 0 7 9 】

4 2 8 は、F I F O メモリ 4 2 6 からの Y U V 形式の映像信号から輝度信号 Y と変調クロマ信号 C を生成し、その輝度信号 Y と変調クロマ信号 C を加算してコンポジット映像データを生成して出力する T V 系信号処理回路、4 3 0 は、T V 系信号処理回路 4 2 8 からのコンポジット映像データに同期信号を付加する同期信号付加回路、4 3 2 は同期信号付加回路 4 3 0 から出力される同期信号付きの 8 ビットパラレルのコンポジット映像データを 1 乃至 4 ビット程度のシリアル信号に変換する P / S 変換器である。4 3 4 は、P / S 変換器 4 3 2 からのシリアル映像データをパラレル化し、アナログ信号に変換して T V モニタ 4 3 6 に印加する外部表示制御回路である。

【 0 0 8 0 】

4 3 8 は、外部表示制御回路 4 3 4 からのクロックに従い、メモリインターフェース 4 2 2 の読出し回路 4 2 2 b 及び F I F O メモリ 4 2 6 に読出しタイミング信号を供給し、T V 系信号処理回路 4 2 8、同期信号付加回路 4 3 0 及び P / S 変換器 4 3 2 のそれぞれに表示用のタイミング信号を供給する表示用同期信号発生回路である。

【 0 0 8 1 】

図 1 7 は、外部表示制御回路 4 3 4 の概略構成ブロック図を示す。S / P 変換器 4 4 0 は P / S 変換器 4 3 2 からの 1 乃至 4 本のシリアルデータを 8 ビットパラレルデータに変換し、D / A 変換器 4 4 2 が S / P 変換器 4 4 0 の出力データをアナログ信号に変換する。同期分離回路 4 4 4 は、P / S 変換器 4 3 2 からの 1 乃至 4 本のシリアルデータから水平同期信号、垂直同期信号及び複合同期信号を分離する。加算器 4 4 6 は、D / A 変換器 4 4 2 の出力に、同期分離回路 4 4 4 からの複合同期信号を加算する。加算器 4 4 6 の出力信号は、L P F 4 4 8 により高周波のノイズ成分を除去され、ビデオアンプ 4 5 0 により増幅及びインピーダンス整合されて、T V モニタ 4 3 6 に印加される。

【 0 0 8 2 】

図 1 6 に示す実施例の動作を説明する。撮像素子 4 1 0、A/D 変換器 4 1 2、撮像信号処理回路 4 1 4、リサイズ回路 4 2 0、メモリインターフェース 4 2 2、メモリ 4 2 4 及び F I F O メモリ 4 2 6 からなる部分は、図 1 5 に示す実施例の対応部分と同様に動作する。

【 0 0 8 3 】

T V 系信号処理回路 4 2 8 は、F I F O メモリ 3 2 6 から読み出される Y U V 形式の映像データから、輝度データ Y と、N T S C 方式又は P A L 方式にそれぞれ準拠する変調クロマ信号 C を生成し、その輝度データ Y と変調クロマ信号 C を加算してコンポジット映像データ C V に生成する。

【 0 0 8 4 】

同期信号付加回路 4 3 0 は、T V 系信号処理回路 4 2 8 の出力データに T V 表示用の同期コードを付加し、P/S 変換器 4 3 2 は、P/S 変換器 3 4 と同様に、同期信号付加回路 4 3 0 からの 8 ビットパラレルデータを 2 本又は 4 本のシリアルデータに変換して、外部表示制御回路 4 3 4 に印加する。

【 0 0 8 5 】

外部表示制御回路 4 3 4 は、P/S 変換器 4 3 2 からのシリアルデータをアナログコンポジット映像信号に変換して T V モニタ 4 3 6 に印加する。

【 0 0 8 6 】

第 3 実施例を第 2 実施例のように液晶表示パネルと T V モニタの同時表示に発展させ、A S I C 内の D/A 変換器を完全排除し、L C D 制御回路と外部表示制御回路を融合させてもよい。

【 0 0 8 7 】

【発明の効果】

以上の説明から容易に理解できるように、本発明によれば、L C D 制御回路とのインターフェースをデジタルインターフェースとすることで、その前段回路から D/A 変換器を無くすことができる、前段回路を A S I C 化した場合にその回路規模を縮小でき、コストを低減できる。

【 0 0 8 8 】

また、TVモニタと液晶表示パネルに同時に画像表示する場合、それぞれの表示サイズに合わせるように事前に画像をリサイズするので、共に視野率100%で、表示能力を最大限に生かしたきれいな映像を表示できる。

【0089】

また、外部表示制御回路を設けることにより、TVへの表示の場合もASIC内のD/A変換器を除去でき、ASICの回路規模を縮小でき、なる低コスト化を図ることが出来る。

【図面の簡単な説明】

- 【図1】 本発明の第1実施例の概略構成ブロック図である。
- 【図2】 FIFOメモリ26の構成例である。
- 【図3】 点順次変換器30の概略構成ブロック図である。
- 【図4】 点順次変換器30の動作タイミング図である。
- 【図5】 映像期間とブランキング期間の模式図である。
- 【図6】 水平ブランキング期間内のE__RGB, S__RGBの一例である。
- 【図7】 P/S変換器34の概略構成ブロック図である。
- 【図8】 P/S変換器34のタイミング図である。
- 【図9】 8ビットパラレルデータを4本のシリアル信号に変換する場合のP/S変換器34の概略構成ブロック図である。
- 【図10】 図9に示す構成の動作タイミング図である。
- 【図11】 LCD制御回路36の概略構成ブロック図である。
- 【図12】 LCD制御回路36の別の構成例の概略構成ブロック図である。
- 【図13】 S/P変換器180, 190の概略構成ブロック図である。
- 【図14】 図13に示す構成の動作タイミング図である。
- 【図15】 本発明の第2実施例の概略構成ブロック図である。
- 【図16】 本発明の第3実施例の概略構成ブロック図である。
- 【図17】 外部表示制御回路434の概略構成ブロック図である。
- 【図18】 従来の撮像装置の概略構成ブロック図である。
- 【図19】 別の従来例の概略構成ブロック図である。

【符号の説明】

1 0 : 撮像素子
1 2 : A / D 変換器
1 4 : 撮像信号処理回路
1 6 : タイミング発生回路
1 8 : 水晶発振器
2 0 : リサイズ回路
2 2 : メモリインターフェース
2 2 a : 書込み回路
2 2 b : 読出し回路
2 4 : メモリ
2 6 : F I F O メモリ
2 8 : Y U V / R G B 変換器
3 0 : 点順次変換器
3 2 : 同期信号付加回路
3 4 : P / S 変換器
3 6 : L C D 制御回路
3 8 : 発振器
4 0 : 液晶表示パネル
4 2 : 表示用同期信号発生回路
5 0 , 5 2 , 5 4 , 5 6 , 5 8 : 入力端子
6 0 : ラッチ回路
6 2 : 書込みアドレス発生回路
6 4 : 読出しアドレス発生回路
6 6 : S R A M
6 8 : 輝度信号ラッチ回路
7 0 : 色差信号ラッチ回路
8 0 , 8 2 , 8 4 : セレクタ
9 0 , 9 2 : 入力端子
9 4 : フリップフロップ

96 : セレクタ
98 : フリップフロップ
100 : セレクタ
102 : フリップフロップ
104 : セレクタ
106 : フリップフロップ
108 : 出力端子
110 : フリップフロップ
112 : セレクタ
114 : フリップフロップ
116 : セレクタ
118 : フリップフロップ
120 : セレクタ
122 : フリップフロップ
124 : 出力端子
130, 132 : 入力端子
134~148 : フリップフロップ
150~156 : セレクタ
158~164 : フリップフロップ
166~172 : 出力端子
180 : S/P変換器
182 : D/A変換器
184 : 同時化回路
186R, 186G, 186B : バッファアンプ
188 : 同期分離回路
190 : S/P変換器
192 : 同時化回路
194R, 194G, 194B : ラッチ回路
196R, 196G, 196B : D/A変換器

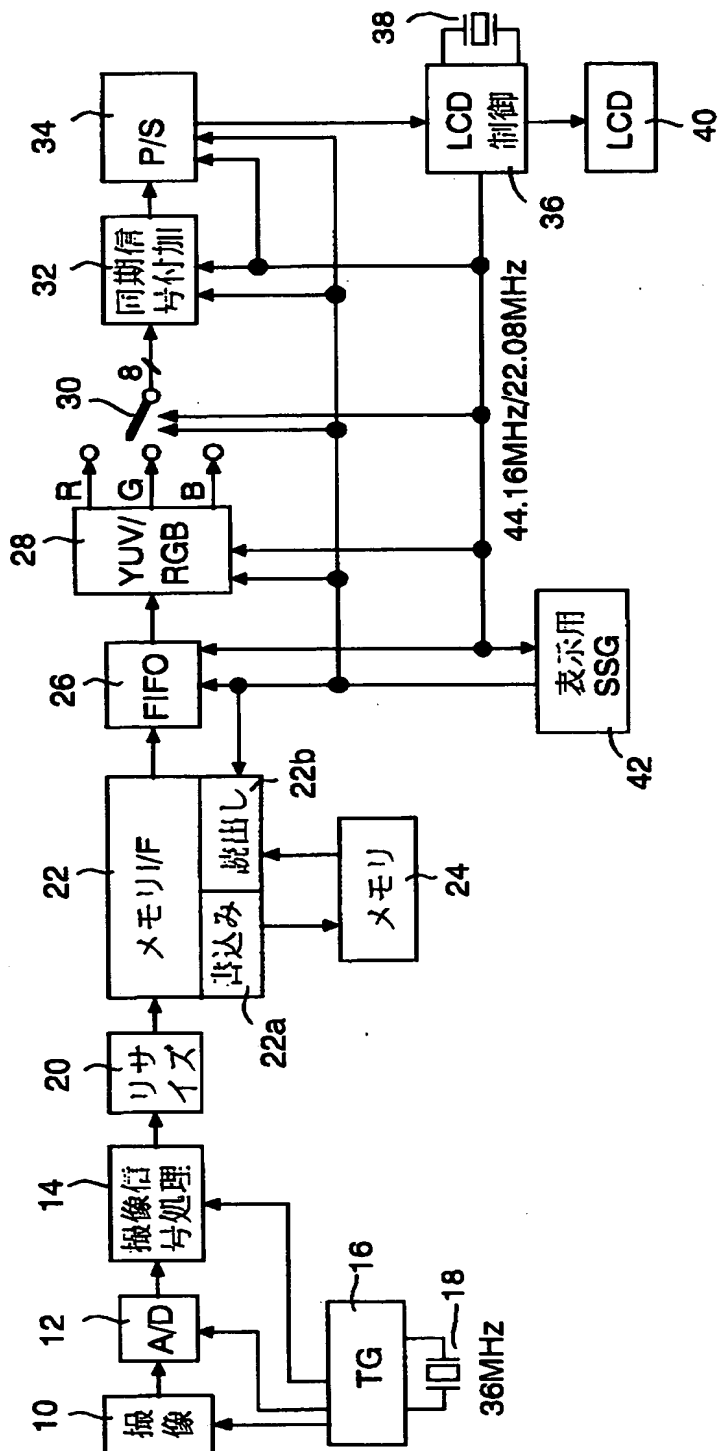
198R, 198G, 198B: バッファアンプ
200, 202: 入力端子
204, 206, 208: フリップフロップ
210, 212, 214: フリップフロップ
216, 218, 220, 222: ゲート付きフリップフロップ
224, 226, 228, 230: ゲート付きフリップフロップ
310: 撮像素子
312: A/D変換器
314: 撮像信号処理回路
316: タイミング発生回路
318: 発振器
320: リサイズ回路
322: メモリインターフェース
322a: 書込み回路
322b: 読出し回路
324: メモリ
326: FIFOメモリ
327: リサイズ回路
328: YUV/RGB変換器
330: 点順次変換器
331: クロックシフタ
332: 同期信号付加回路
334: P/S変換器
336: LCD制御回路
338: 発振器
340: 液晶表示パネル
342: TV系信号処理回路
344: D/A変換器
346: ローパスフィルタ (LPF)

3 4 8 : ビデオアンプ
3 5 0 : T V モニタ
3 5 2 : 表示用同期信号発生回路
3 5 4 : 発振器
4 1 0 : 撮像素子
4 1 2 : A / D 変換器
4 1 4 : 撮像信号処理回路
4 1 6 : タイミング発生回路
4 1 8 : 発振器
4 2 0 : リサイズ回路
4 2 2 : メモリインターフェース
4 2 2 a : 書込み回路
4 2 2 b : 読出し回路
4 2 4 : メモリ
4 2 6 : F I F O メモリ
4 2 8 : T V 系信号処理回路
4 3 0 : 同期信号付加回路
4 3 2 : P / S 変換器
4 3 4 : 外部表示制御回路
4 3 6 : T V モニタ
4 3 8 : 表示用同期信号発生回路
4 4 0 : S / P 変換器
4 4 2 : D / A 変換器
4 4 4 : 同期分離回路
4 4 6 : 加算器
4 4 8 : L P F
4 5 0 : ビデオアンプ
5 1 0 : 撮像素子
5 1 2 : A / D 変換器

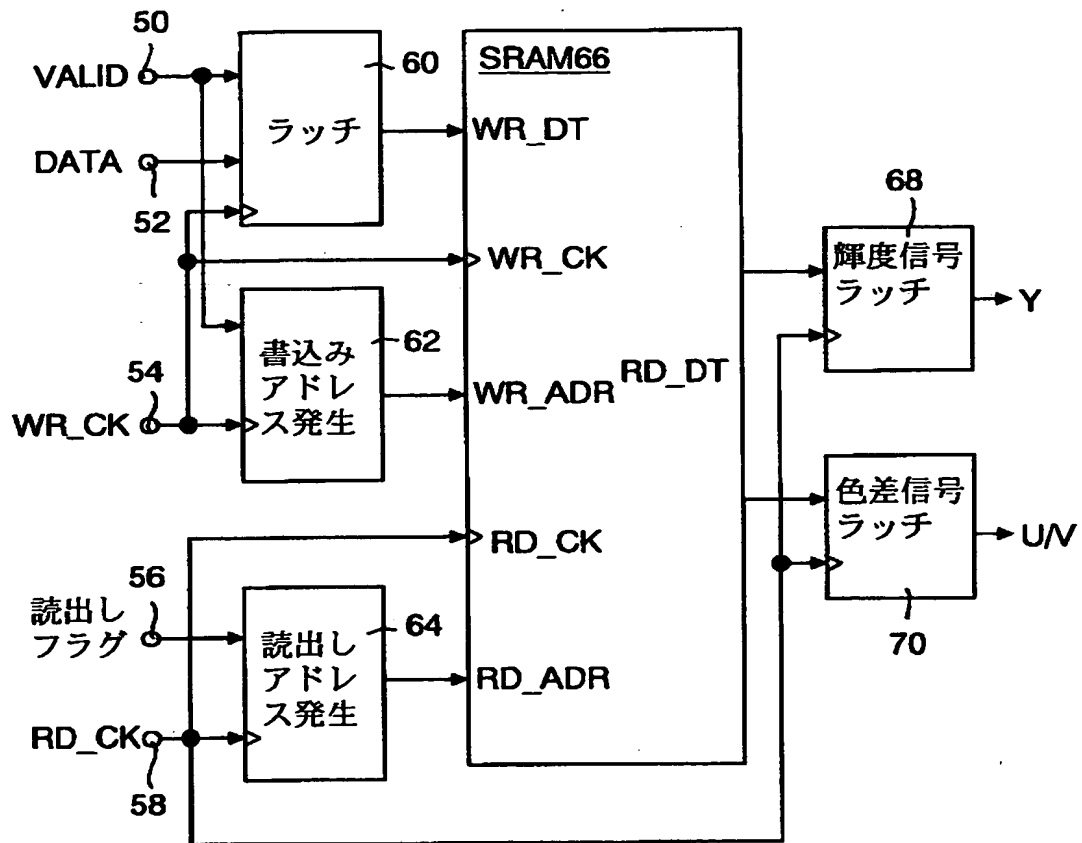
514 : 撮像信号処理回路
516 : メモリインターフェース
516a : 書込み回路
516b : 読出し回路
518 : メモリ
520 : 表示系信号処理回路
522Y, 522C : D/A変換器
524Y : ローパスフィルタ (LPF)
524C : バンドパスフィルタ (BPF)
526 : 混合回路
528 : LCD制御回路
530 : ビデオアンプ
532 : TVモニタ
534 : 水晶振動子
536 : 液晶表示パネル
610 : 撮像素子
612 : A/D変換器
614 : 撮像信号処理回路
616 : メモリインターフェース
616a : 書込み回路
616b : 読出し回路
618 : メモリ
620 : 表示系信号処理回路
622a, 622b, 622c, 622d : D/A変換器
624a, 624b, 624c, 624d : ローパスフィルタ (LPF)
626 : ビデオアンプ
628 : TVモニタ
630 : LCD制御回路
632 : 液晶表示パネル

【書類名】 図面

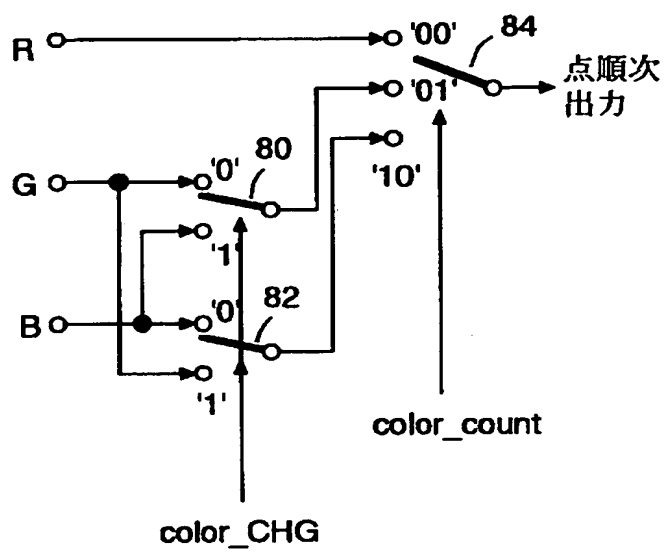
【図 1】



【図 2】



【図 3】



【図 4】

(1) モード#0 (color_CHG = 0)

color_count	00	01	10	00	-----
出力順	R	G	B	R	-----

(2) モード#1 (color_CHG = 0)

color_count	01	10	00	01	-----
出力順	G	B	R	G	-----

(3) モード#2 (color_CHG = 0)

color_count	10	00	01	10	-----
出力順	B	R	G	B	-----

(4) モード#3 (color_CHG = 1)

color_count	00	01	10	00	-----
出力順	R	B	G	R	-----

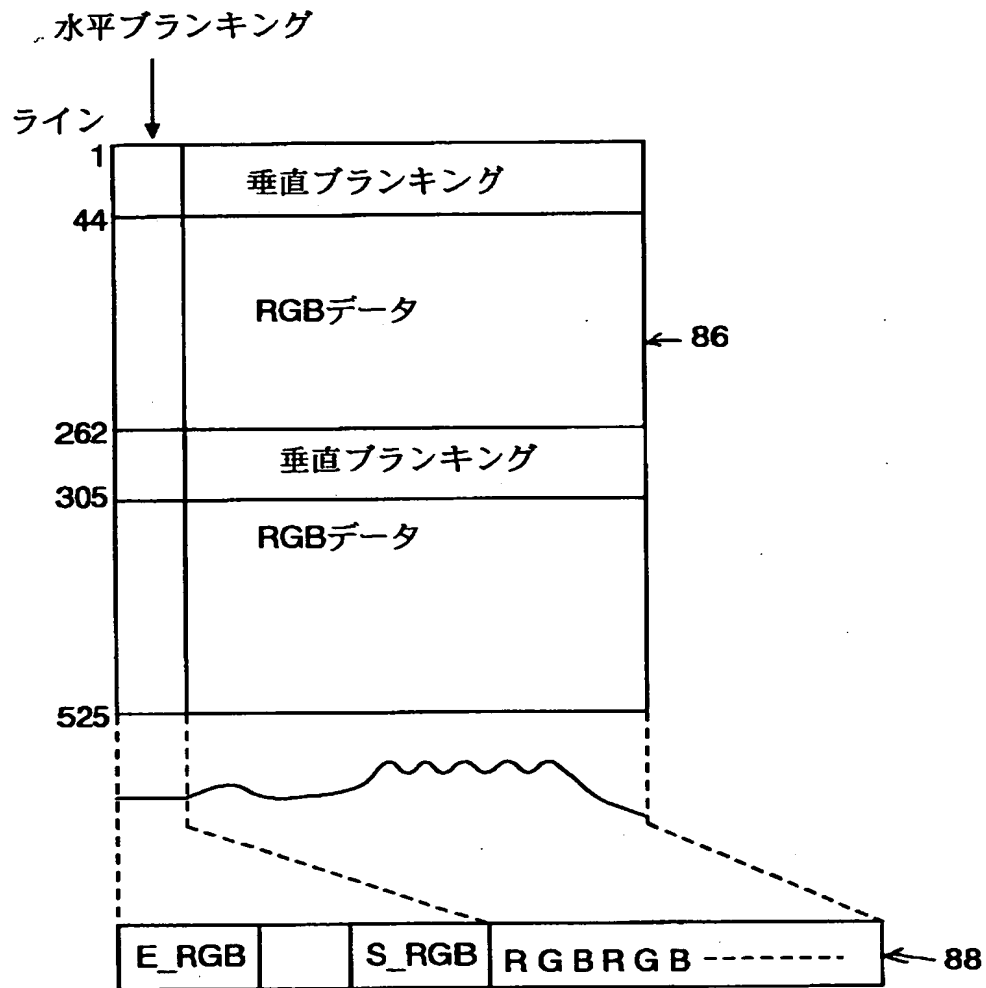
(5) モード#4 (color_CHG = 1)

color_count	01	10	00	01	-----
出力順	B	G	R	B	-----

(6) モード#5 (color_CHG = 1)

color_count	10	00	01	10	-----
出力順	G	R	B	G	-----

【図 5】



【図 6】

	MSB							LSB
	b7	b6	b5	b4	b3	b2	b1	b0
第1ワード	1	1	1	1	1	1	1	1
第2ワード	0	0	0	0	0	0	0	0
第3ワード	0	0	0	0	0	0	0	0
第4ワード	1	1	V	H	0	0	0	0

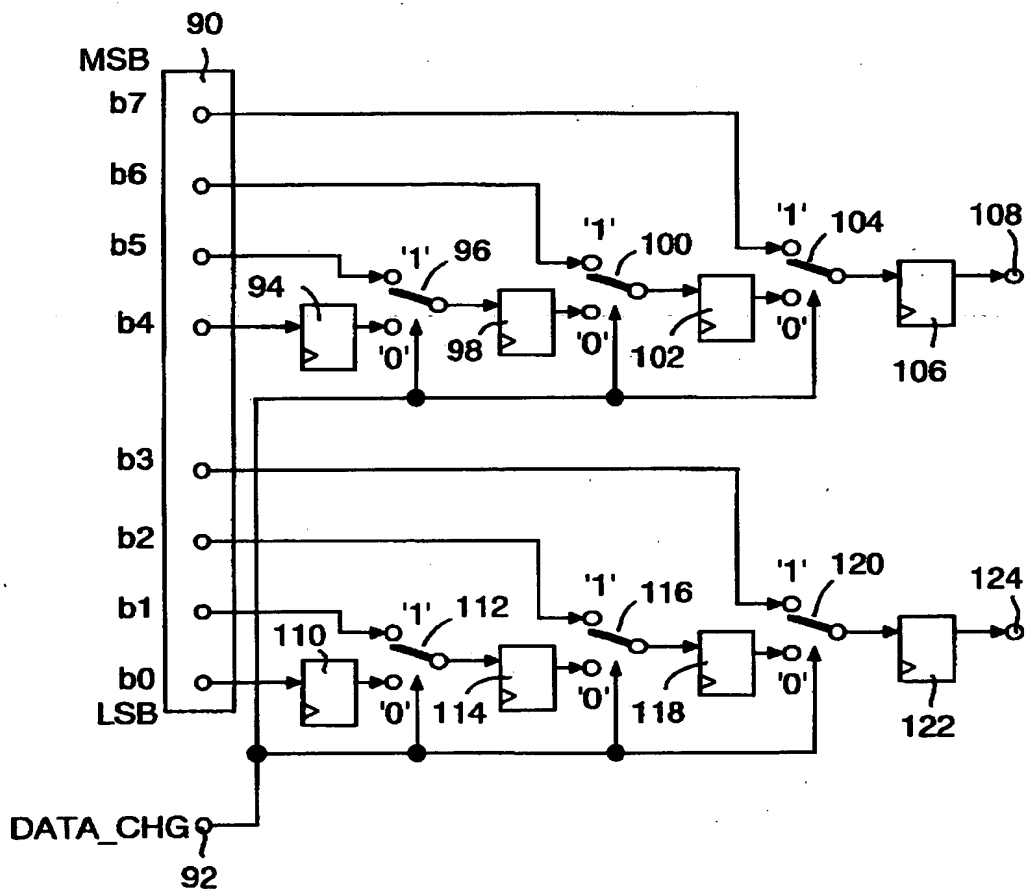
V=0

V=1:垂直ブランキング

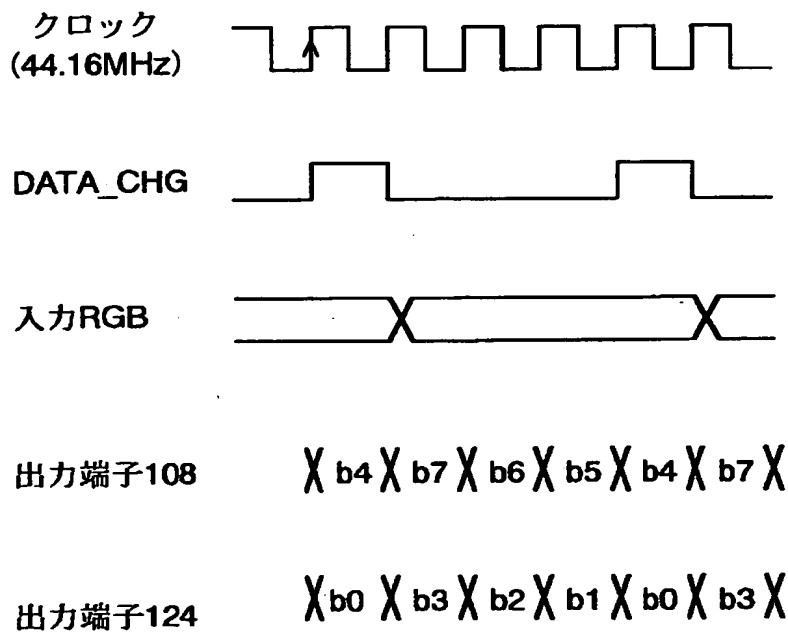
H = 0: S_RGB

H = 1: E_RGB

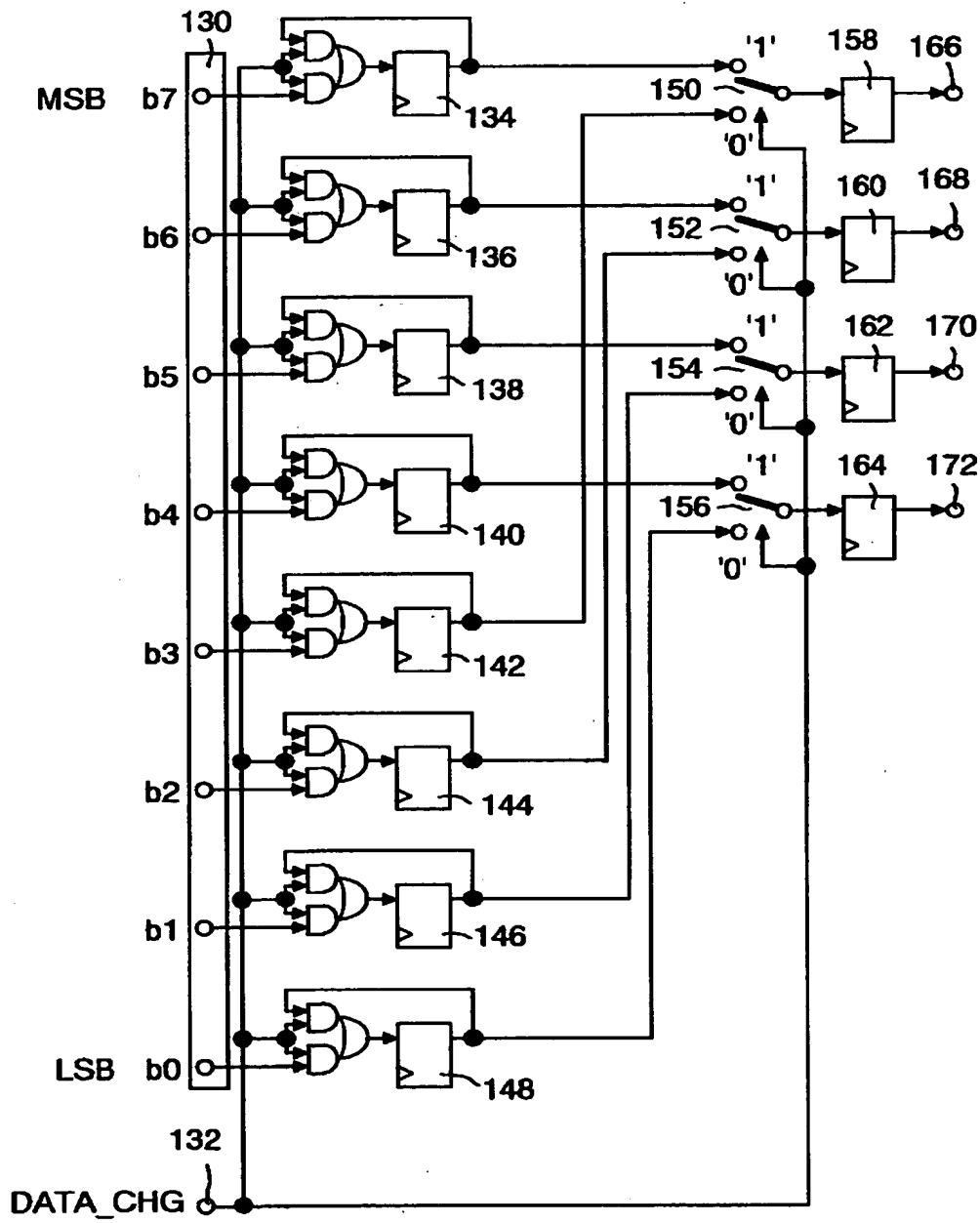
【図 7】



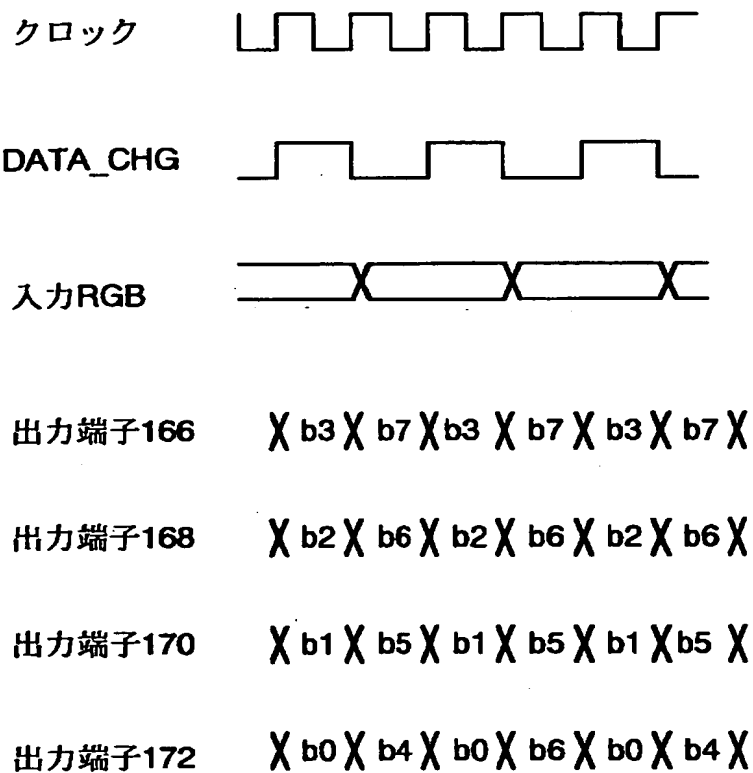
【図 8】



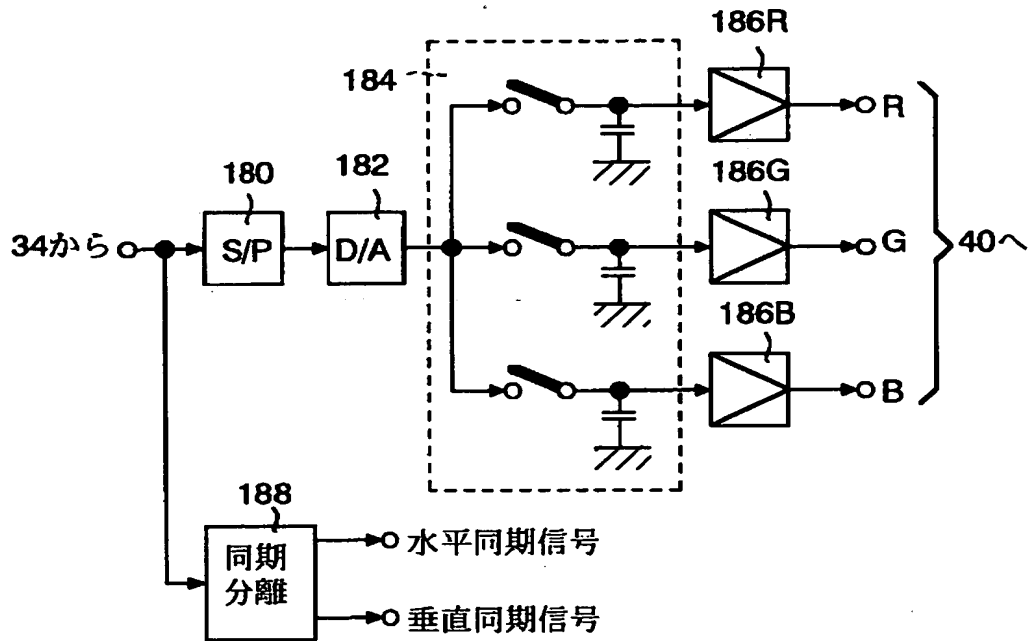
【図 9】



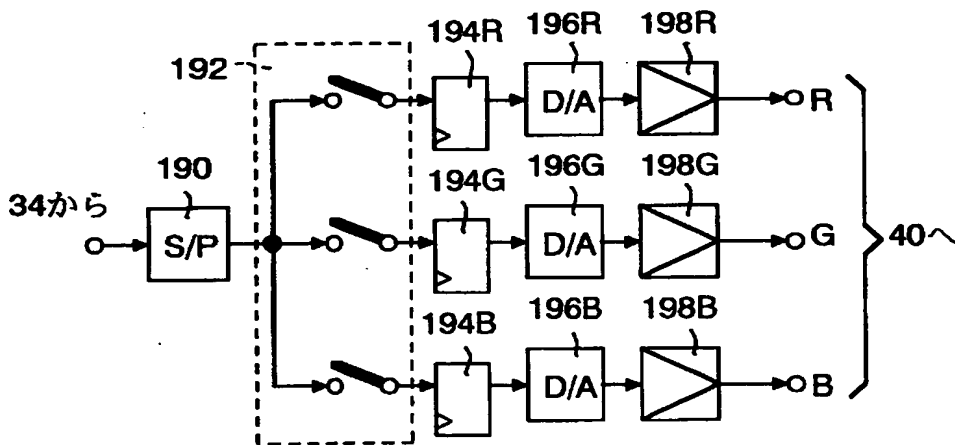
【図 10】



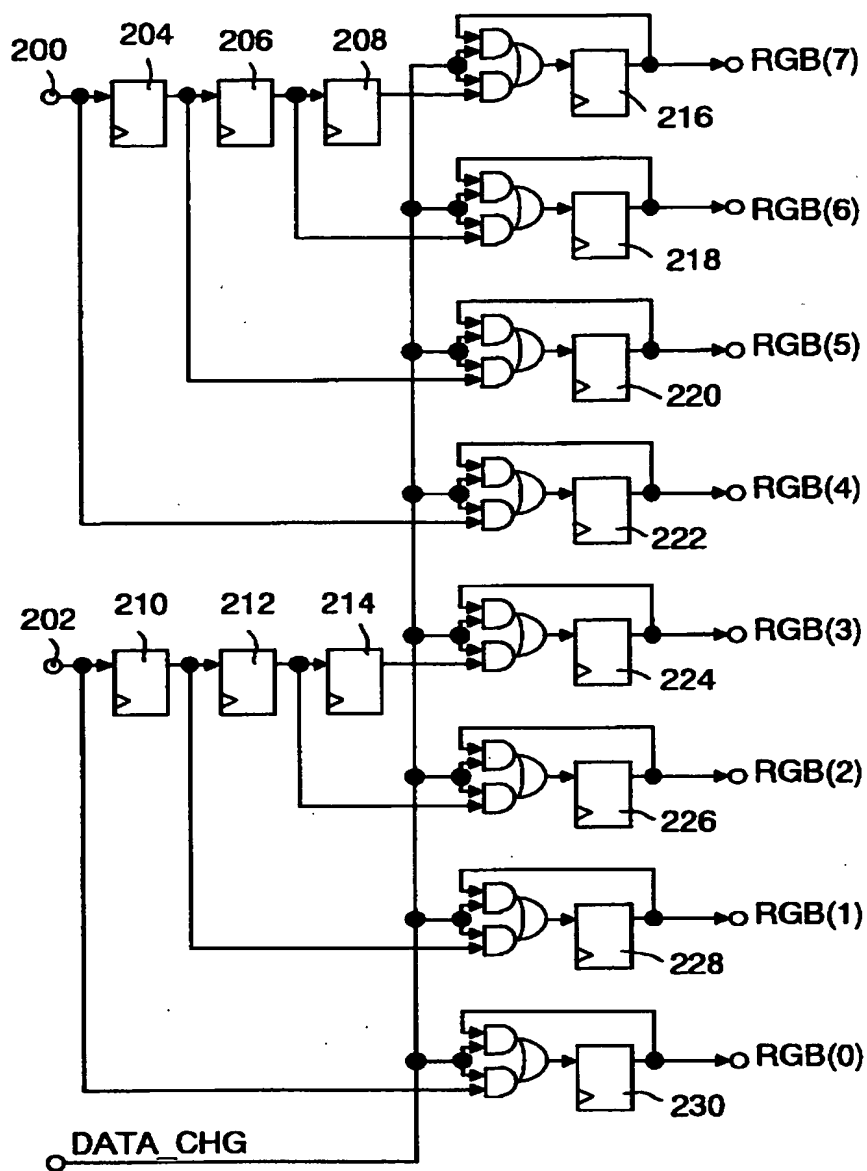
【図 1 1】



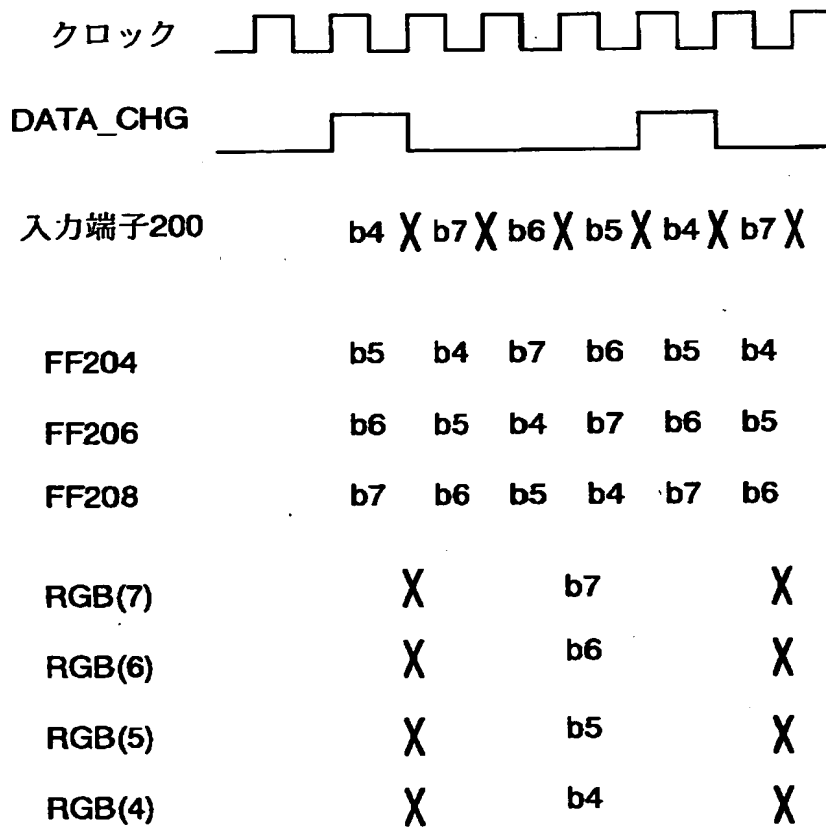
【図 1 2】



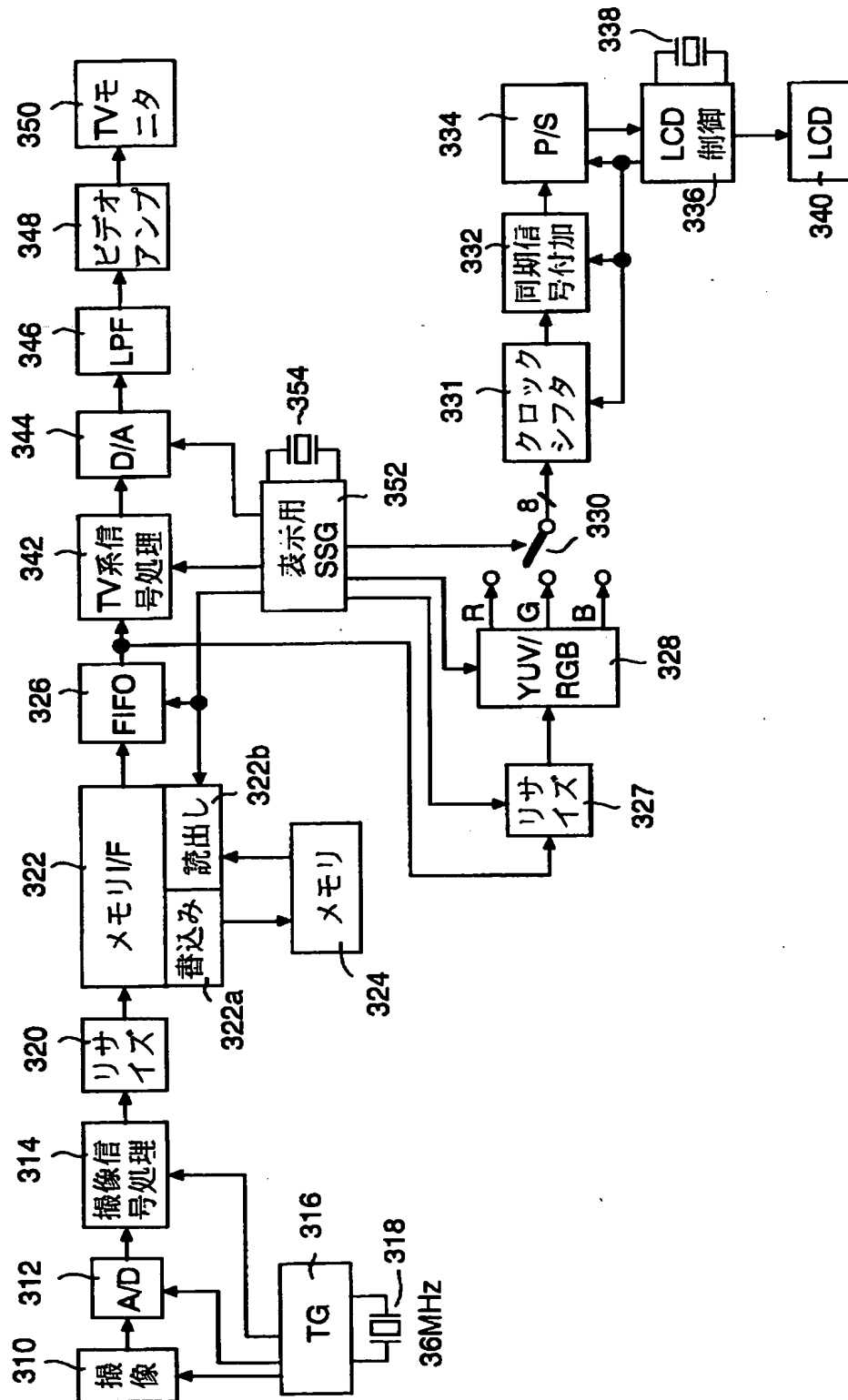
【図 1 3】



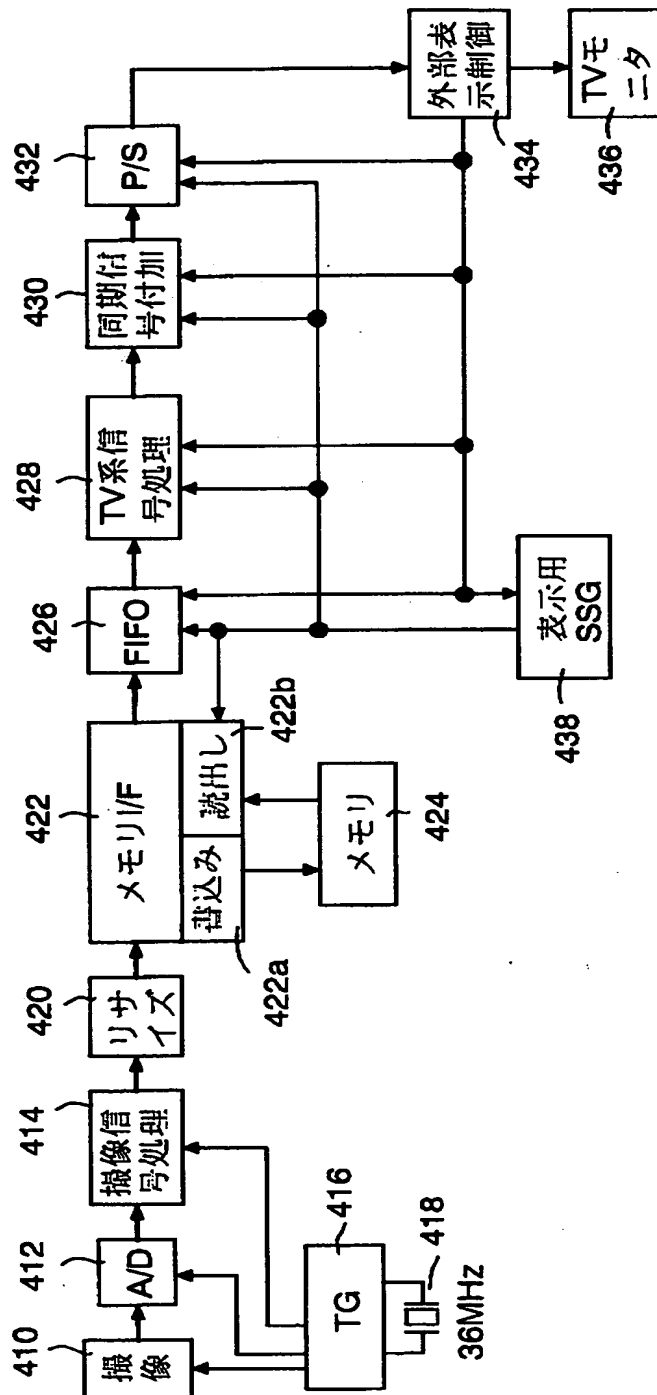
【図 1 4】



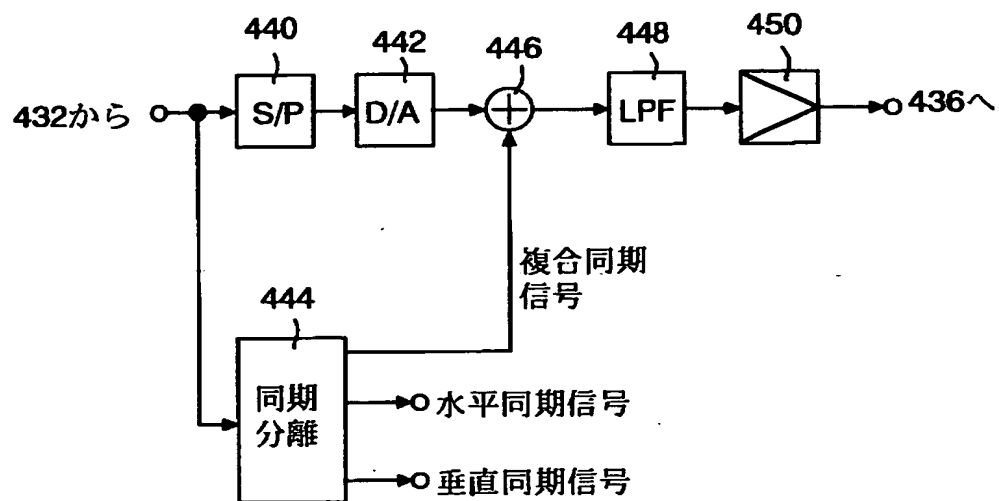
【図15】



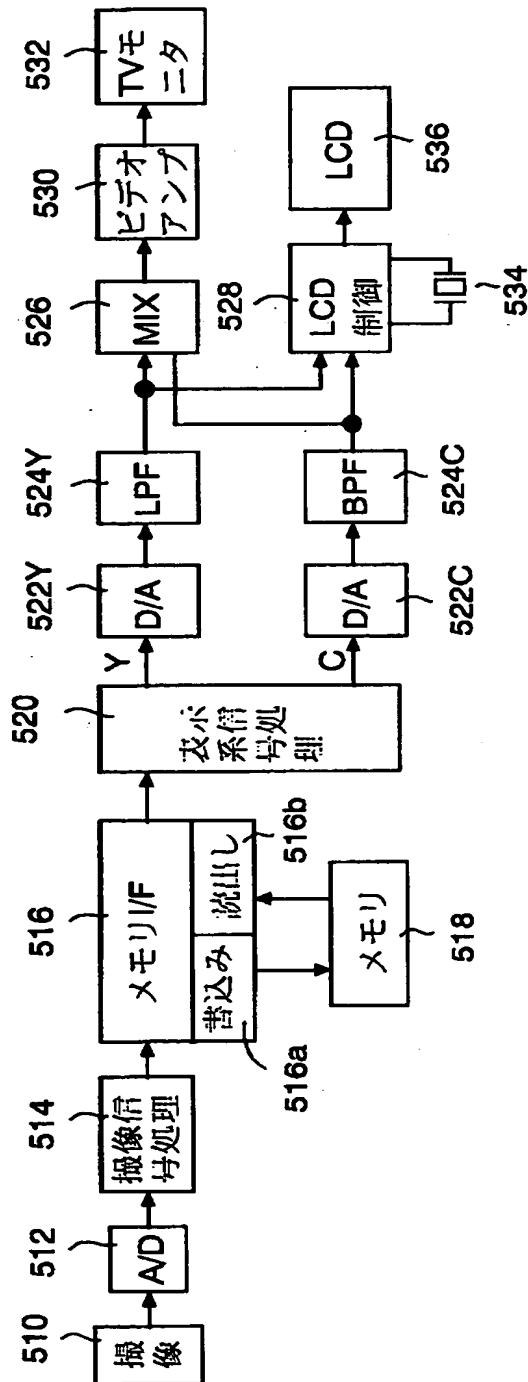
【図 16】



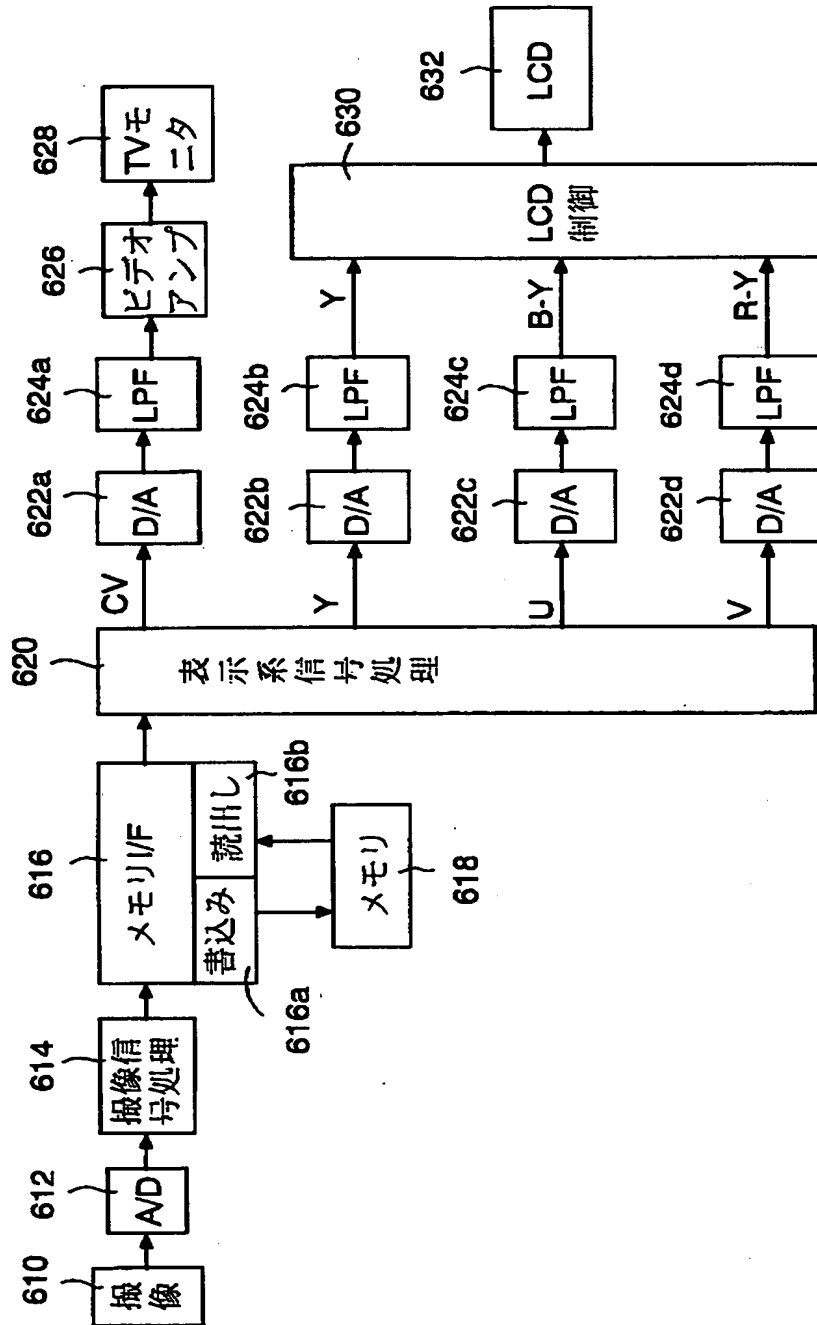
【図 1 7】



【図 18】



【図19】



【書類名】 要約書

【要約】

【課題】 表示系処理の A S I C を小さくする。

【解決手段】 リサイズ回路 2 0 は、撮像素子 1 0 の出力画像を液晶表示パネル 4 0 用にリサイズし、その出力画像データはメモリインターフェース 2 2、F I F O メモリ 2 6、点順次変換回路 3 0 及び同期信号付加回路 3 2 を介して P / S 変換器 3 4 に入力する。P / S 変換器 3 4 は、8 ビットパラレルデータを 1 乃至 4 本のシリアルデータに変換して、L C D 制御回路 3 6 に印加する。L C D 制御回路 3 6 は、入力するシリアルデータをパラレル化し、アナログ画像信号に変換して液晶表示パネル 4 0 に印加する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社